

Correspondence  
WO 97/48056  
attached

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-514815

(43) 公表日 平成11年(1999)12月14日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 4 J 3/00		H 0 4 J 3/00	A
			M
			Z
3/04		3/04	
G 0 9 G 5/00	5 5 5	G 0 9 G 5/00	5 5 5 D
H 0 4 L 5/00		H 0 4 L 5/00	
		審査請求 有	予備審査請求 有 (全 84 頁)

(21) 出願番号 特願平10-501892  
(86) (22) 出願日 平成9年(1997)6月13日  
(85) 翻訳文提出日 平成10年(1998)12月14日  
(86) 国際出願番号 PCT/US97/10611  
(87) 国際公開番号 WO97/48056  
(87) 国際公開日 平成9年(1997)12月18日  
(31) 優先権主張番号 08/664,136  
(32) 優先日 1996年6月14日  
(33) 優先権主張国 米国 (US)

(71) 出願人 シリコン・イメージ、インコーポレイテッド  
アメリカ合衆国カリフォルニア州95014,  
クパチーノ、パブ・ロード・10131  
(72) 発明者 キム、スンジョーン  
大韓民国ソウル、セオチョング、セオチョ  
ードン、ムジガエ・アパートメント・5-  
1107  
(72) 発明者 リー、デイヴィッド、ディー  
アメリカ合衆国カリフォルニア州94306,  
パロ・アルト、レッドウッド・サークル・  
3715  
(74) 代理人 弁理士 古谷 肇 (外2名)

最終頁に続く

(54) 【発明の名称】 シリアルリンクを介して多重データ信号を送信するためのシステムおよび方法

# (57) 【要約】

シリアルリンクを介して多重データ信号を送信するシステム及び方法は、シリアル線によって結合された埋め込みユニットと取り出しユニットを含む。埋め込みユニットは好ましくは複数のデータストリームを受信し、これらのデータストリームをエンコードし、次いでエンコードされたデータをシリアルストリームにマージする。このシリアルストリームはシリアル線を通じて取り出しユニットへと出力される。取り出しユニットはデータのシリアルストリームを受信し、このシリアルストリームをデコードし、次いでデコードされたシリアルストリームを別々のストリームに分離し、それによって埋め込みユニットに入力されたストリームを再構成する。埋め込みユニットによるエンコードと転送、及び取り出しユニットによる受信とデコードは完全に透過的であり、取り出しユニットにより出力される信号はタイミングとデータコンテンツについて、埋め込みユニットに入力された信号と同一である。本発明はまた、1つの信号線を介して複数のデータストリームを転送する方法、及び1つのシリアルシーケンスから複数のデータストリームを発生す

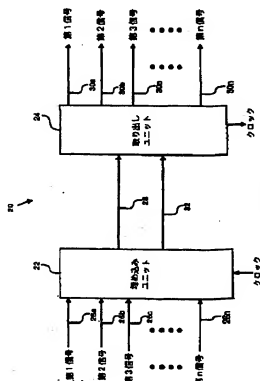


Figure 1

## 【特許請求の範囲】

1. シリアルリンクを介して多重データ信号を送信するためのシステムであって

、  
複数の入力と1つの出力を有し、複数の入力データストリームをエンコードしてエンコードされたデータストリームを生成し、エンコードされたデータストリームをデータ転送ストリームに組み合わせ、複数の入力の各々がそれぞれにデータストリームを受信するよう結合されている埋め込みユニットと、

埋め込みユニットの出力に結合されたシリアルリンクと、及び

1つの入力と複数の出力を有する取り出しユニットとからなり、取り出しユニットの入力がシリアルリンクに結合されて埋め込みユニットからデータ転送ストリームを受信し、取り出しユニットがデータ転送ストリームを複数の分離されたデータストリームに分離し、分離されたデータストリームをデコードして埋め込みユニットにより適用された符号化を取り外し、取り出しユニットが取り出しユニットの複数の出力のそれぞれ1つにデコードされた、分離されたデータストリームの各々をもたらすことからなるシステム。

2. 埋め込みユニットがさらに、

複数の入力と複数の出力を有し、複数の入力の各々がそれぞれにデータストリームを受信するよう結合され、データワードを受信してエンコードされたデータワードを生成するエンコーダと、

1つの制御入力と、複数のデータ入力と複数のデータ出力を有し、データストリームとして出力される複数の入力の1つのセットを選択し、入力がエンコーダの複数の出力に結合されているマルチプレクサと、

複数の入力と複数の出力を有し、複数の入力がマルチプレクサの出力に結合されている並直列変換器と、及び

複数の入力と1つの出力を有し、シリアルリンクを介して出力されるデータストリームを制御し、入力がエンコーダの出力に結合され、出力がマルチプレクサの入力に結合されているスケジューラとからなる、請求項1のシステム。

3. 埋め込みユニットがさらに、複数の入力と複数の出力を有し、エンコーダとマルチプレクサの間に結合されたデータバッファを有する、請求項2のシステム

4. 埋め込みユニットがさらに、ストリーム、リンクがアイドル状態である時点、及び等時性制御文字を識別する制御コードを生成する制御コード発生器を含み、制御コード発生器がマルチプレクサの対応する入力に結合された複数の出力を有する、請求項2のシステム。

5. エンコーダが8ビットのグループの各々を10ビットのグループにエンコードする、請求項2のシステム。

6. シリアルリンクがデータ信号線とクロック線である、請求項2のシステム。

7. シリアルリンクが複数のデータ信号線と1つのクロック線である、請求項2のシステム。

8. シリアルリンクが3つのデータ信号線と1つのクロック線である、請求項2のシステム。

9. 取り出しユニットがさらに、

1つの入力と複数の出力を有し、シリアルストリームをデータワード出力へとパラレルに変換し、入力がシリアルリンクに結合されている変換器と、

1つの制御入力と、複数のデータ入力と複数のデータ出力を有し、複数の出力が幾つかのセットにグループ化されて各々のセットが異なるデータストリームをもたらすようにされ、複数の入力が変換器の複数の出力に結合されているデマルチプレクサと、

複数の入力と1つの出力を有し、データワードを送信すべきセットを示す制御信号を発生し、複数の入力が変換器の複数の出力に結合され、出力がデマルチプレクサの制御入力に結合されているストリームセレクトと、及び

複数の入力と複数の出力を有してデータワードをデコードし、入力がデマルチプレクサの出力のそれぞれに結合されているデコーダとからなる、請求項1のシステム。

10. 取り出しユニットがさらに、複数の入力と複数の出力を有し、デマルチプレクサとデコーダの間に結合されたデータバッファを含む、請求項9のシステム。

11. デコーダが10ビットのグループの各々を8ビットのグループにデコードする

、請求項9のシステム。

12. ストリームセレクトがさらに複数の比較器を含み、比較器の各々が変換器からのデータワードとそれぞれにストリーム開始制御ワードを受信するよう結合されている、請求項9のシステム。

13. 取り出しユニットがさらに、複数の入力と複数の出力を有するワードアライナを含み、ワードアライナが変換器とデマルチプレクサの間に結合され、ワードアライナがデータストリーム中のアイドル文字を使用してデータをビット単位でシフトさせ、ワードを整列させる、請求項9のシステム。

14. 取り出しユニットがさらに、変換器によるデータワード出力を格納するためのn段バブルバッファを含み、n段バブルバッファが複数の入力と複数の出力を有し、n段バブルバッファが変換器とデマルチプレクサの間に結合され、n段バブルバッファがデマルチプレクサへのデータストリーム出力から等時性データ文字を分離する、請求項9のシステム。

15. シリアルリンクが第1データ信号線と、第2データ信号線と、クロック線とを含み、第1データ信号線とクロック線が埋め込みユニットと取り出しユニットに結合され、システムがさらに、

1つの入力と1つの出力を有し、入力に戻りデータストリームを受信するよう結合され、戻りデータストリームからエンコードされたデータワードを生成し、出力が第2データ信号線に結合されたエンコーダと、及び

1つの入力と1つの出力を有し、入力第2データ信号線に結合され、エンコードされたデータワードからデータストリームを生成するデコーダとを含む、請求項1のシステム。

16. シリアルリンクが第1データ信号線と、第2データ信号線と、クロック線とを含み、第1データ信号線とクロック線が埋め込みユニットと取り出しユニットに結合され、システムがさらに、

複数の入力と1つの出力を有し、複数の入力データストリームをエンコードしてエンコードされたデータストリームを生成し、エンコードされたデータストリームに戻りデータ転送ストリームに組み合わせ、複数の入力の各々がそれぞれ

にデータストリームを受信するよう結合されており、出力が第2データ信号線に結合されている第2の埋め込みユニットと、及び

1つの入力と複数の出力を有する第2の取り出しユニットとからなり、第2の取り出しユニットの入力が第2データ信号線に結合されて第2の埋め込みユニットから戻りデータ転送ストリームを受信し、第2の取り出しユニットが戻りデータ転送ストリームを複数の分離されたデータストリームに分離し、分離されたデータストリームをデコードして第2の埋め込みユニットにより適用された符号化を取り外し、第2の取り出しユニットが第2の取り出しユニットの複数の出力のそれぞれ1つにデコードされた、分離されたデータストリームの各々をもたらすことからなるシステム。

17. 複数のデータストリームを単一のデータストリームとして転送するための装置であって、

複数の入力と複数の出力を有し、複数の入力の各々がそれぞれにデータストリームを受信するよう結合され、データストリームからエンコードされたデータワードを生成するエンコーダと、

1つの制御入力と、複数のデータ入力と1つの出力を有し、データ転送ストリームとして出力される複数の入力の1つを選択し、入力がエンコーダの複数の出力に結合されているマルチプレクサと、及び

複数の入力と1つの出力を有し、シリアルリンクを介して出力されるデータストリームを制御し、その複数の入力がエンコーダの複数の出力に結合され、出力がマルチプレクサの制御入力に結合されているスケジューラとからなる装置。

18. 1つの入力と1つの出力を有し、入力がマルチプレクサの出力に結合されてnビットワードをパラレルに受信し、nビットワードをシリアルストリームとして出力する並直列変換器をさらに含む、請求項17の装置。

19. 複数の入力と複数の出力を有し、エンコーダとマルチプレクサの間に結合されたデータバッファをさらに含む、請求項17の装置。

20. データバッファが複数の専用バッファとからなり、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々がエンコーダにより出力された

エンコードされたデータストリームを格納し、専用バッファの各々がエンコードの複数の出力のそれぞれ1つとマルチプレクサの複数の入力 of のそれぞれ

1つの間に結合されている、請求項19の装置。

21. ストリーム、アイドル状態、及び等時性制御文字を識別する制御コードを生成する制御コード発生器を含み、制御コード発生器がマルチプレクサの対応する入力に結合された複数の出力を有する、請求項17の装置。

22. 制御コード発生器がストリーム開始制御ワード、等時性データ転送ワード、及びアイドル制御ワードに割り当てられたワード値に配線された複数の線である、請求項21の装置。

23. エンコーダの入力の各々が8ビットをパラレルで受信し、エンコーダの出力の各々が10ビットをパラレルで提供し、エンコーダが8ビットのグループの各々を10ビットのグループにエンコードする、請求項17の装置。

24. エンコーダがさらに複数の専用エンコーダからなり、専用エンコーダの各々が1つの入力と1つの出力を有し、各々の専用エンコーダの入力がそれぞれにデータストリームを受信するよう結合され、各々の専用エンコーダの出力がマルチプレクサのそれぞれの入力に結合されている、請求項17の装置。

25. 専用エンコーダの各々がデータ信号のグループからの1つと制御信号をエンコードする、請求項24の装置。

26. 複数の専用エンコーダの少なくとも1つがデータ信号と制御信号の組み合わせをエンコードする、請求項24の装置。

27. 複数の専用エンコーダの最初の1つがビデオデータをエンコードし、複数の専用エンコーダの2番目がビデオ制御データをエンコードし、複数の専用エンコーダの3番目がデータの第1ストリームをエンコードする、請求項24の装置。

28. 複数の専用バッファをさらに含み、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々の入力が専用エンコーダのそれぞれの出力に結合され、専用バッファの各々の出力がマルチプレクサの入力に結合されている、請求項24の装置。

29. スケジューラが状態マシンであって、エンコーダが送信すべきデータを有す

るか否かを判定する組み合わせロジックから形成され、マルチプレクサを制御する信号を発生して、等時性コードが最も高い優先順位を有して他のデータ

ストリームより前に転送され、他のデータストリームの転送にストリーム開始制御コードが先行するようにしてデータ及び制御コードを出力する、請求項15の装置。

30. スケジューラがさらに、

エンコーダが送信の準備が整ったデータを有するか否かを判定する手段を含み、この判定手段がエンコーダに結合されており、

送信するデータを有するストリームを識別する手段を含み、この識別手段がエンコーダに結合されており、

識別されたストリームによるデータストリーム転送の始まりを識別するコードを出力するようマルチプレクサを制御する第1の制御信号を発生する手段と、及び

識別されたストリームについてエンコーダからデータを出力するようマルチプレクサを制御するための第2の制御信号を発生する手段をさらに含む、請求項15の装置。

31. 1つのデータストリームを受信して複数のデータストリームを発生するための装置であって、

1つの制御入力と、1つのデータ入力と、複数の出力を有し、複数の出力の各々がデータの異なるストリームをもたらし、入力が1つのデータストリームを受信するよう結合されているデマルチプレクサと、

1つの入力と1つの出力を有し、データワードを送信すべき出力を示す制御信号を発生し、入力がデマルチプレクサのデータ入力に結合され、出力がデマルチプレクサの制御入力に結合されているストリームセレクトと、及び

複数の入力と複数の出力を有しデータワードをデコードするためのデコーダとからなり、デコーダの複数の入力がデマルチプレクサの複数の出力のそれぞれ1つに結合されていることからなる装置。

32. 1つの入力と複数の出力を有し、シリアルストリームをデータワード出力へ

とバラレルに変換するための変換器をさらに含み、変換器の入力がシリアルリンクに結合され、変換器の出力がデマルチプレクサの入力に結合されている、請求項31の装置。

33. 複数の入力と複数の出力を有し、デマルチプレクサとデコーダに結合されたデータバッファをさらに含む、請求項31の装置。

34. データバッファが複数の専用バッファを含み、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々がデマルチプレクサにより出力されたエンコードされたデータストリームを格納し、専用バッファの各々がデマルチプレクサの複数の出力のそれぞれ1つとデコーダの複数の入力のそれぞれ1つに結合されている、請求項33の装置。

35. デコーダが10ビットのグループの各々を8ビットのグループへとデコードする、請求項31の装置。

36. デコーダがさらに複数の専用デコーダを含み、各々の専用デコーダが1つの入力と1つの出力を有し、各々の専用デコーダの入力がデマルチプレクサからそれぞれにデータストリームを受信するよう結合されている、請求項31の装置。

37. 専用デコーダの各々がエンコードされたワードをデータ信号のグループからの1つと制御信号へとデコードする、請求項36の装置。

38. 複数の専用デコーダの少なくとも1つがエンコードされたワードをデータ信号と制御信号の組み合わせへとデコードする、請求項36の装置。

39. ストリームセレクトがさらに複数の比較器を含み、各々の比較器が第1の入力と第2の入力と1つの出力を有し、各々の比較器の第1の入力が変換器からデータワードを受信するよう結合され、各々の比較器の第2の入力がそれぞれにストリーム開始制御ワードを受信するよう結合され、複数の比較器の出力がデマルチプレクサを制御するよう結合されている、請求項31の装置。

40. 複数の入力と複数の出力を有するワードアライナをさらに含み、ワードアライナが変換器とデマルチプレクサの間に結合され、ワードアライナがデータストリーム中のアイドルワードを使用してデータをビット単位でシフトし、ワードを整列させる、請求項32の装置。



41. ワードアライナがさらに、

1つの入力と1つの出力を有し、入力が変換器の出力に結合され、複数のデータワードを格納するためのレジスタと、

1つのデータ入力と、1つの制御入力と、1つの出力を有し、データ入力がレジスタの出力に結合され、ビットを所定数出力し、このビットの所定数が入力で受信したビット数よりも小さいシフトと、及び

1つの入力と1つの出力を有するアイドル文字検出器とをさらに含み、アイドル文字検出器の入力がレジスタの出力に結合され、アイドル文字検出器の出力がシフトの制御入力に結合され、アイドル文字検出器がアイドル文字を検出し、シフトに入力された信号をシフトするビットの所定数を特定する信号を生成する、請求項40の装置。

42. レジスタがさらに、

1つの入力と1つの出力を有し、入力が変換器の出力に結合され、出力がアイドル文字検出器とシフトに結合された第1のレジスタと、

1つの入力と1つの出力を有し、入力が第1のレジスタの出力に結合され、出力がアイドル文字検出器とシフトに結合された第2のレジスタと、及び

1つの入力と1つの出力を有し、入力が第2のレジスタの出力に結合され、出力がアイドル文字検出器とシフトに結合された第3のレジスタとからなる、請求項41の装置。

43. アイドル文字検出器がさらに、

入力と出力を有し、入力がレジスタの出力に結合されたXORゲートのアレイと、

入力と出力を有し、入力がXORゲートのアレイの出力に結合された1カウンタと、及び

レジスタと組み合わせロジックにより1カウンタの出力に結合された制御入力を有する制御ポインタレジスタとをさらに含み、制御ポインタレジスタがワードの開始を識別する値でロードされる、請求項41の装置。

44. データワードを格納するためのn段バブルバッファをさらに含み、n段バブ

ルバッファが1つの入力と第1のデータ出力及び第2のデータ出力を有し、n段バブルバッファの第2のデータ出力がデマルチプレクサに結合され、n段バブルバッファの入力がデータストリームを受信するよう結合され、n段バブルバッファがデマルチプレクサに出力されるデータストリームから等時性データ

文字を分離する、請求項31の装置。

45. n段バブルバッファがさらに、

各々が1つの入力と1つの出力を有し、縦続型式で結合された複数のデータバッファと、

複数のデータ入力と、1つの制御入力と1つの出力を有し、複数のデータ入力の各々が複数のデータバッファの1つのそれぞれの出力に結合され、出力がデマルチプレクサの入力に結合されているマルチプレクサと、及び

複数の入力と1つの出力を有し、マルチプレクサによる出力のために複数のデータバッファの出力の1つを選択する信号を発生するデータ選択コントローラをさらに含み、データ選択コントローラの複数の入力の各々が複数のデータバッファの1つのそれぞれの出力に結合され、データ選択コントローラの出力がマルチプレクサの制御入力に結合され、データ選択コントローラの複数の入力の1つがマルチプレクサの出力に結合されている、請求項4の装置。

46. n段バブルバッファがさらに、1つの入力と1つの出力を有する等時性ワード検出器を含み、等時性ワード検出器の入力が複数のデータバッファの1つの出力に結合され、等時性ワード検出器が等時性ワードを検出して出力に制御信号を発生する、請求項45の装置。

47. 複数のデータストリームを1つの信号線を介して転送するための方法であって、

第1のデータストリームと第2のデータストリームを受信するステップと、  
第1及び第2のデータストリームをエンコードしてコード化されたワードとするステップと、

第1の制御コードを信号線を介して転送するステップと、

第1のデータストリームのエンコードされたワードを信号線を介して転送す

るステップと、

第2の制御コードを信号線を介して転送するステップと、及び

第2のデータストリームのエンコードされたワードを信号線を介して転送するステップとからなる方法。

48. 第3の制御コードを信号線を介して転送するステップをさらに含み、第3

の制御コードが線を介しての通信の切断を示す、請求項47の方法。

49. 第3の制御コードを信号線を介して転送するステップをさらに含み、第3の制御コードが等時性データ信号の始まりを示す、請求項47の方法。

50. 第4の制御コードを信号線を介して転送するステップをさらに含み、第4の制御コードが等時性データ信号の終わりを示す、請求項48の方法。

51. 第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードが信号線を介して転送されていない場合に第1の特殊コードワードを送信するステップをさらに含む、請求項47の方法。

52. 時間臨界的な制御信号の表明に応じて等時性コードワードを発生するステップと、及び

等時性コードワードを信号線を介して転送するステップとをさらに含む、請求項47の方法。

53. 等時性コードワードを転送するステップがさらに、

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからなるグループからの1つが信号線を介して転送されているか否かを判定するステップと、

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからなるグループからの1つが信号線を介して転送されている場合には転送を割り込むステップと、

等時性コードワードを信号線を介して転送するステップと、及び

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからなるグループからの1つが信号線を介して転送されている場合に転送を再開するステップとからなる、請求項52の方法。

54. 第1の制御コードと第1のデータストリームのエンコードされたワード信号線を介して転送されている間にエンコードされた第2のデータストリームを

格納するステップをさらに含む、請求項47の方法。

55. エンコードされた第1のデータストリームの転送とエンコードされた第2のデータストリームの転送の間の優先順位を判定するステップと、より高い優先順位のエンコードされたデータストリームを先に転送するステップをさらに含む、請求項47の方法。

56. 転送するステップが、ワードをビットのシリアルストリームに変換し、各々のビットを信号線上に順次表明することからなる、請求項47の方法。

57. シリアルシーケンスから複数のデータストリームを発生する方法であって、ビットのシリアルシーケンスをワードに変換するステップと、ワードを用いてストリーム経路を選択するステップと、ワードを選択されたストリーム経路上で転送するステップと、及びワードをデコードして出力ワードを生成するステップとからなる方法。

58. シリアルシーケンスを変換するステップがさらに、変換されたシリアルシーケンスをワード整列させるステップからなる、請求項57の方法。

59. 変換されたシリアルシーケンスをワード整列させるステップがさらに、第1のワードを受信するステップと、第2のワードを受信するステップと、第3のワードを受信するステップと、

第1、第2、及び第3のワードの連鎖中のアイドルワードパターンを検出することにより第1、第2、及び第3のワードをシフトして適切に整列されたワードを生成するステップからなる、請求項58の方法。

60. ストリーム経路を選択するステップがさらに、

ワードを所定の制御文字のセットと比較するステップと、及び

ワードが合致する所定の制御文字のセットの1つに関連するストリーム経路を選択するステップとからなる、請求項57の方法。

61. ワードを選択されたストリーム経路上に転送するステップの後、ワードをデコードして出力ワードを生成するステップの前に、ワードを格納するステップをさらに含む、請求項57の方法。

62. デコードするステップがワードを10ビット値から8ビット値に変換する、

請求項57の方法。

63. ワードを選択されたストリーム経路上に転送するステップの前にワードを格納するステップと、

格納されたワードに対するアクセスをもたらしステップと、及び

ワードが等時性ワードの場合にそのワードをデコードするステップをさらに含む、請求項57の方法。

## 【発明の詳細な説明】

### シリアルリンクを介して多重データ信号を送信するためのシステム及び方法

#### 関連出願に対するクロスリファレンス

本出願は、1996年3月27日に出願されここでの参照によって本書に取り込まれる "High-Speed Digital Video Signal Transmission System" と題する米国特許出願第08/\_\_\_\_号の一部継続出願であり、1995年10月5日に提出されここでの参照によって本書に取り込まれる "Transition-Controlled Digital Encoding and Signal Transmission System" と題する米国特許出願第08/539,816号の一部継続出願であり、1996年\_\_\_\_に提出されここでの参照によって本書に取り込まれる "System And Method for High-Speed Skew-Insensitive Multi-Channel Data Transmission" と題する米国特許出願第08/\_\_\_\_号の一部継続出願である。

#### 発明の背景

##### 1. 発明の分野

本発明は一般的には、コンピュータシステムにおけるデジタル通信及びインタフェースデバイスに関する。特に本発明は、多重データ信号又はストリームをシリアルリンクを介して送信するためのシステムと方法に関連している。さらに特定の例としては、本発明は等時性データストリームと、1又はより多くの追加的なデータストリームをシリアルリンクを介して送信するためのシステム及び方法に関するものである。

##### 2. 背景技術の説明

コンピュータの利用とその普及は周知のところである。しかしながら近年は、マルチメディアアプリケーションのためのコンピュータの利用が劇的に増加している。特にデスクトップコンピューティングの領域では、新たなマルチメディアアプリケーション（完全動画のビデオ、静止画像、サウンドクリップ、並びにオーディオ入力/出力とビデオ入力/出力を組み合わせた他のプログラムなど）により、コンピューティングのパワーと相互接続リソースからの帯域幅の増大が要求されている。例えば、より増大した帯域幅が必要とされる1つの主要な領域は、コンピュータシステムからディスプレイ装置への接続にある。グラフィックスの

ための標準的な解像度は、デスクトップ環境においてさえ、ピクセルの密度、色

やグレイスケール（シェード）の数を飛躍的に増大させた。高解像度ディスプレイについての帯域幅要求は極めて高く、その高さゆえに典型的な相互接続システムでは、表示するビデオデータと制御データを搬送するためだけにデータチャネル全部が利用できるように、ディスプレイデータストリームをリフレッシュすることに専念しているほどである。さらに、ある種のタイプのディスプレイ（例えばCRT）により必要とされる帰線消去時間は、利用可能な帯域幅の一部を使用できないものとしてしまう。従って、所望とする高速性と帯域幅をもたらしことのできる、デジタル通信相互接続構造に対するニーズが存在している。

所要のデータ転送速度の増大を満足させるための、1つの一般的な手法は、相互接続構造に用いられるパラレル線の数を増大させることである。しかしながらこの手法は、数多くの欠点を有している。第1に、パラレル線の数を増大させると、信号線及びケーブルのための材料が増えることに加え、コネクタ等の相互接続構造のための空間の大きさを増大させることが必要となる。第2に、パラレル線の数の増大は、集積回路のための入力/出力ピンの数を増大させることになり、これが既存の問題点をさらに深刻にすることになる。というのはそうした集積回路により多くの計算力が付加されることになり、これに応じてより多くの入力/出力ピンが必要とされるからである。第3に、パラレル線の数を増大させ、こうした線を介してデータを高速送信すると、電磁妨害という形で付加的な問題点が生成されることになる。かくして、より多くのパラレル信号線を追加することは、付加的な帯域幅に対する要求を満足させることはできない。

従って、データを高速で転送するための、簡単に信頼できるシステム及び方法に対する必要性は、継続的に存在している。このシステムと方法は、多くのハードウェアを必要としてはならず、またシリアル線を介して送る必要のある等時性信号とデータストリームの種々の異なる組み合わせに対して適合可能でなければならない。

#### 発明の概要

本発明は、等時性データストリームと1又はより多くの追加的なデータストリ

ームを単一のシリアル線を介して送信するシリアルリンクシステム及び方法により、従来技術の不具合や限界を克服する。このシリアルリンクシステムの好まし

い実施例は、多数の高速パラレルデータ線についての上述した問題点を有利な形で排除し、また高解像度ディスプレイに必要とされる速度を越える速度でもって、高速データ転送をもたらすことができる。本発明のシステムの好ましい実施例は、シリアル線で結合された埋め込みユニットと取り出しユニットからなる。埋め込みユニットは好ましくは、複数のデータストリームを受信し、それらのデータストリームをエンコードし、次いでエンコードされたデータをシリアルストリームにマージ（併合）させ、このシリアルストリームがシリアル線を渡って取り出しユニットへと出力される。取り出しユニットはデータのシリアルストリームを受信し、シリアルストリームをデコードし、次いでデコードされたシリアルストリームを個別のストリームに分離して、それによって埋め込みユニットに入力されたストリームを再構成する。

埋め込みユニットは好ましくはエンコーダと、データバッファと、制御コード発生器と、スケジューラと、マルチプレクサと、並直列変換器とからなる。エンコーダは複数のデータストリームを受信し、そのそれぞれをエンコードする。エンコードされた信号は必要ならば、マルチプレクサに送られる前にバッファに一時的に格納される。制御コード発生器は、シリアル線を介して転送するためにマージされる多重ストリームのデコード及び分離に必要な制御コード信号を生成し、マルチプレクサに供給する。スケジューラはエンコーダの出力を受信するように結合され、またマルチプレクサの入力に印加されるストリームのどれが並直列変換器に出力されるかを制御するように結合される。並直列変換器はマルチプレクサからのパラレルビットを受信し、次いでそれらをシリアル線上に送られるシリアルストリームに変換する。

取り出しユニットは好ましくは、直並列変換器と、ストリームセクタと、データバッファと、デコーダとからなる。直並列変換器はシリアル線に結合され、埋め込みユニットからの直列化された信号を受信する。直並列変換器は好ましくは、シリアル線上で送られる各々のワードをパラレル形態



に変換し、そのワードをストリームセレクトとデマルチプレクサとに出力する。ストリームセレクトは制御文字であるワードを識別し、直並列変換器により出力されるデータがデコーダの対応する入力線に経路指定されるように、デマルチプレクサを制御する。デコーダはデマルチプレクサからの各ワードを受信し、そのワードをデコードして、エンコードとシリアル線を渡っての転送が行われる前の、そのワードの元の形態を復元する。

本発明はまた、複数のデータストリームを単一の線を介して転送するための方法、及びシリアルシーケンスから複数のデータストリームを発生するための方法をも含んでいる。複数のデータストリームを単一の線を介して転送するための方法は好ましくは、第1データストリームと第2データストリームを受信するステップと、第1及び第2のデータストリームをコード化されたワードにエンコードするステップと、第1制御コードを信号線を介して転送するステップと、第1データストリームのエンコードされたワードを信号線を介して転送するステップと、第2制御コードを信号線を介して転送するステップと、そして第2データストリームのエンコードされたワードを信号線を介して転送するステップとからなる。シリアルシーケンスから複数のデータストリームを発生するための方法は好ましくは、ビットのシリアルシーケンスをワードに変換するステップと、このワードを1組の所定の制御文字と比較するステップと、所定の制御文字に従ってこのワードをデコーダへと経路指定するステップと、そしてワードをデコードするステップとからなる。

#### 図面の簡単な説明

図1は、多重データストリームをシリアルリンクを介して送受信するため、本発明のシステムの好ましい実施例のブロック図であり、

図2は、本発明に従って構成されたシステムの埋め込みユニットの第1の実施例のブロック図であり、

図3は、本発明に従って構成されたシステムの埋め込みユニットの第2の実施例のブロック図であり、

図4A及び図4Bは、クロック信号、埋め込みユニットに対する2つのストリ

ーム信号入力、及び埋め込みユニットのシリアル出力を示すタイミング図であり、

図5は、本発明に従って構成された埋め込みユニットの第2の実施例のためのビデオデコーダの実施例のブロック図であり、

図6は、本発明の埋め込みユニットのためのスケジューラの好ましい実施例のブロック図であり、

図7は、本発明に従って構成されたシステムの取り出しユニットの第1の実施例のブロック図であり、

図8は、本発明に従って構成されたシステムの埋め込みユニットの第2の実施例のブロック図であり、

図9は、取り出しユニットの第2の実施例において用いるためのストリームセレクトの実施例のブロック図であり、

図10Aは、本発明の取り出しユニットのワードアライナの実施例の概略図であり、

図10Bは、本発明のワードアライナのアイドル文字検出器の実施例の概略図であり、

図11は、バブルバッファを含む本発明のシステムの取り出しユニットの第3の実施例のブロック図であり、

図12は、取り出しユニットの第3の実施例のバブルバッファのためのデータ選択コントローラの好ましい実施例のブロック図であり、

図13は、本発明の1実施例によるデータ選択コントローラのアイドル文字検出器の例示的な実施例のブロック図であり、

図14は、本発明の1実施例によるデータ選択コントローラの等時性ワード検出器の例示的な実施例のブロック図であり、

図15は、取り出しユニットの第3の実施例のバブルバッファの動作を示す表であり、

図16は、バブルバッファを含む本発明のシステムの取り出しユニットの第3の実施例のブロック図であり、

図17は、クロック信号、2つのストリーム信号、制御信号、及びビデオリフレッシュデータがブロックに分割されているシリアルストリームを示すタイミング図であり、及び

図18A及び図18Bは、本発明を用いて構成された例示的な双方向通信システムを示すブロック図である。

#### 好ましい実施例の詳細な説明

さて図1を参照すると、等時性デジタルデータストリームと、1又はより多くの追加的なデジタルデータストリームを単一のシリアル線を介して送信するための、シリアルリンクシステム20の好ましい実施例のブロック図が示されている。本発明のこのシリアルリンクシステム20は好ましくは、埋め込みユニット22と、取り出しユニット24と、単一のシリアル線28と、クロック信号線32とを含む。この発明は基本的には、シリアルデジタルインタフェース、例えばディスプレイインタフェースにおける、時間多重化されたデータ転送である。在来のパラレルデジタルディスプレイインタフェースにおいては、色（赤、緑、青）及びビデオ制御信号（HSYNC, VSYNC, DE）の各々について、パラレルビデオデータリフレッシュ信号が存在する。しかしながら本発明においては、データストリームの多重コンテンツ（内容）、並びにHSYNC, VSYNC, DEといった全てのビデオ制御信号もまた、ラインコーディングを用いることによって、ディスプレイデータチャネルを通じて送信される。以下では本発明の好ましい実施例を、4つのデジタル信号又はストリームの間でシリアルデータ及びクロック線を時分割するシステムに関連して説明するが、当業者であれば、本発明は2ストリームからnストリームまでの、どのような数のストリームを有するシステムにも適用できることを理解するであろう。

埋め込みユニット22は好ましくは、複数の入力と、第1及び第2出力とを有する。複数の入力の各々は、好ましくはビデオ信号である第1信号、第2信号、第3信号、及び第n信号を受信すべく、入力信号線26a, 26b, 26c, 26nのそれぞれに結合されている。入力及び対応する入力信号線26a, 26b, 26c, 26nの各々は、複数の信号線である。例えば第1信号線は、データ（順に、8ビットの赤、8ビット

の緑、8ビットの青)のための8つの信号線を有し、また制御信号(水平同期、垂直同期、及び他の制御信号)のための信号線を有するビデオ信号であってよい。第2信号は、8つの信号線を必要とする8ビットデータ信号であってよい。当業者であれば、第1信号、第2信号、第3信号、及び第n信号は各々、異なる数の信号線を必要とするものであってよく、また種々の組み合わせが可能であることを認識するであろう。埋め込みユニット22は第1信号、第2信号、第3信号、及び第n信号を受信し、各々の信号をエンコードする。次いで埋め込みユニット

22はエンコードされた信号を組み合わせ、またエンコードされた信号の元になった入力信号を識別するための分離信号又は文字を挿入する。組み合わせの結果、エンコードされたシリアルシーケンスが得られ、これがシリアル線28を介して転送するために第1出力上に出力される。埋め込みユニット22の第2出力は、エンコードされたシーケンスの転送を同期させるために用いられるクロック信号をもたらす。

取り出しユニット24は好ましくは、第1入力と、第2入力と、複数の出力とを有する。取り出しユニット24の第1入力はシリアル線28に結合されて、埋め込みユニット22からのエンコードされたシリアルシーケンスを受信する。取り出しユニット24の第2入力はクロック線32に結合されていて、埋め込みユニット22からのクロック信号を受信する。取り出しユニット24はエンコードされたシリアルシーケンスを別個の信号へと分離し、分離文字を除去し、分離された信号をデコードして、各々を取り出しユニット24のそれぞれの出力上へと出力する。取り出しユニット24の各々の出力は信号線30a, 30b, 30c, 30nに結合されていて、再構成された第1信号、第2信号、第3信号、及び第n信号のそれぞれを出力する。入力信号線26a, 26b, 26c, 26nと同様に、出力信号線30a, 30b, 30c, 30nの各々も複数の信号線であってよい。例えば出力信号線30aは25の平行線であることができ、他の出力信号線は8つの平行線であることができる。本発明は埋め込み、シリアル線28及びクロック線32を介しての転送を有利な仕方で行い、またデコードは完全に透過的であって、線26a-26nに印加される信号のコンテンツ及び相対タイミングは、出力線30a-30n上に現れる信号のそれらと同じである。

さて図2を参照すると、埋め込みユニット22の第1の好ましい実施例が示されている。埋め込みユニット22は好ましくは、エンコーダ40と、データバッファ42と、制御コード発生器44と、スケジューラ46と、マルチプレクサ48と、並直列変換器50とからなる。理解を容易にしたその便宜に資するために、クロック信号はスケジューラ46に印加されるものとして示されており、またスケジューラ46によって線32上に出力される。当業者であれば、クロック信号は埋め込みユニット22の他の構成部品に対しても、在来の仕方で同様に適用される

ことを理解するであろう。埋め込みユニット22は種々のデータストリームを混合し、単一のシリアルデータストリームとする。以下では本発明を、水平及び垂直帰線消去期間の未使用帯域を用いて、種々のマルチメディアデータストリームを混合し、ディスプレイリフレッシュデータ（第1ストリーム）とすることに関連して説明する。混合を考えることのできるマルチメディアデータストリームに含まれるものとしては、オーディオI/O、キーボード及びマウス、I<sup>2</sup>Cバス（周辺機器用シリアルバス）、汎用シリアルバス（USB）及びP1394データなどがあるが、これらに限定されるものではない。データストリームの間の分離は、ラインコーディング体系において定義される特殊文字を挿入することによって行われる。現在の高速シリアルリンクに利用可能な帯域幅を開拓することにより、本発明はマルチメディアデータストリームの埋め込みが可能になるようにして、符号化ストリームを好適に送信することができる。一般に、埋め込みユニット22は複数のデータストリームを受信する。データストリームの各々について、転送すべきnビットの情報はkビットにエンコードされ、ここでkはnより大きく、次いでビットごとにシリアル線28を介して送信される。kビットを用いて、 $2^k$ のデータワードを定義することができる。nビットのパラレルデータストリームにより表される $2^n$ のデータワードは、 $2^k$ のデータワードの部分集合内へとマッピングすることができるから、マッピング後、特殊コードとして用いるための $2^{k-n}$ のデータワードが残ることになる。パラレルストリームがkビットワードへとエンコードされ、他の制御ワードが生成され挿入された後に、エンコードされたワードと制御ワードは多重化されて、1回に1ビットずつ、線28上へとシリア

ルに送られる。理解を容易にするために、本発明は以下では、8ビットから10ビットへのエンコードと、10ビットから8ビットへのデコードに関連して説明する。しかしながら当業者であれば、本発明は種々の他の符号化割合についても使用可能であることを理解するであろう。

エンコーダ40は好ましくは、複数の入力と複数の出力を有する。複数の入力は好ましくは、幾つかのセットにグループ化される。かくして図2において、信号線26a, 26b, 26c, ..., 26nの各々は、データストリームの1又はより多くの信号線を指定するために用いられる。例えば第1の主ストリームは好ましくはビデオス

トリームであって、データとディスプレイリフレッシュのための制御信号とを含み、そして例えば28の平行線からなり、その24はデータ用、4は制御用とされてよい。残りの信号線26b, 26c, ..., 26nは他のタイプのデータのために用いることができ、そして例えば、各々が8の平行線である。当業者は、各々の信号線26a, 26b, 26c, ..., 26nは種々の信号線であってよいことを認識するであろう。入力信号線26a, 26b, 26c, ..., 26nの各々について、エンコーダ40は好ましくは、対応する出力信号線52a, 52b, 52c, ..., 52nをもたらし。出力信号線52a, 52b, 52c, ..., 52nの各々は、エンコーダ40の対応する入力に印加される信号の、エンコードされた出力をもたらし。例示的な実施例では、本発明は8ビットのデータを対応する、エンコードされた10ビットのワードへとエンコードするエンコード体系を用いる。かくして出力信号線52a, 52b, 52c, ..., 52nの各々は、10平行線である。エンコーダ40の第1出力は好ましくは、線52aによってマルチプレクサ48の入力へと結合される。残りの出力信号線は52b, 52c, ..., 52nであり、データバッファ42のそれぞれの入力に結合される。エンコーダ40は好ましくは、入力ストリームを10ビットの出力ストリームにエンコードする。エンコーダ40によるワード出力は好ましくは、アイドル(IDLE)文字、等時性データ転送文字、データストリーム分離文字、及びリンク遮断文字として用いる特殊コードワードとして補道Aに識別されているもの以外であれば、いかなる10ビットワードでもよい。在来の8から10へのエンコード体系を幾つでも、図5に関連して以下に示す特定のエンコード体系に加えて用いることができる。

データバッファ42は、複数の入力と複数の出力を有する。入力の各々は信号線52b, 52c, ..., 52nのそれぞれにより、エンコーダ40の出力へと結合されている。線52a上の、エンコーダ40からの主たるエンコードされたストリーム出力は、多重化されシリアル転送されるについて優先順位を有しており、従ってデータバッファ42によりバッファリングされることはない。しかしながら、線52b, 52c, ..., 52n上の残りのエンコードされたデータストリーム出力は、マルチプレクサ48により直ちに使用される訳ではなく、バッファリングされねばならない。データバッファ42は基本的に、2番目からn番目までのデータストリームについて、他のストリームにより使用されていないシリアルチャネルの各部に挿入可

能となるまで、エンコードされたワードを格納する。データバッファ42は好ましくは、ストリームの各々についてnワードをホールド可能なような大きさを有し、ここでnはストリームの数である。これにより、nクロックサイクル毎を除いて、データバッファが対応するストリームからシリアルリンク28へとデータを出力した場合に、データバッファが一時的にデータを格納可能であることが確保される。データバッファ42の出力は、信号線54b, 54c, ..., 54nのそれぞれにより、エンコーダマルチプレクサ48の対応する入力に結合される。データバッファ42はまた、制御信号を受信するため線62を介してスケジューラに結合されているが、これについては以下でより詳細に説明する。

データストリームを分離するため、また他の制御機能のために用いられる制御ワードは、制御コード発生器44によって提供される。好ましい実施例では、制御コード発生器44は一連の、配線されたワード又は文字値であり、それらの各々はマルチプレクサ入力のそれぞれに結合される。本発明は固有の制御及び分離体系を提供するものであり、そこでは特殊又は制御ワードの4つの範疇が用いられる。制御ワードの例示的なセットを補遺Aに示す。制御ワードの第1のタイプは、アイドル(IDLE)ワードである。IDLEワードは、データストリームの何れかから送信すべきデータがない場合に、シリアルリンク28を介して転送される。IDLEワードの目的は、プリアンブル期間の間に十分な遷移を行い、受信回路がビット同期を獲得できるようにして、ワード同期を容易にすることである。

。制御ワードの第2のタイプは、等時性データ転送ワードである。これらの制御ワードは、ビデオ又は他のデータのタイミング制御信号の如き、時間臨界的なデータの転送を示す。等時性特殊ワードは、他のストリームを妨害することなく、何時でも送信することができる。制御ワードの第3のタイプは、データストリーム分離ワードであり、これはデータストリームの多重文脈（コンテキスト）の間を分離し、ある種のタイプのデータ転送の始まり又は終わりを示すものである。制御ワードの第4のタイプは、リンク遮断ワードであり、これは埋め込みユニット22が遮断した場合に、データ転送の終了をデータ受信者に知らせるために用いられる。取り出しユニット24はリンク遮断文字を受信した場合に、パフダウンモード又はアイドル状態に入ることができる。本発明では、上記の条件を満た

すどのような特殊文字の選択をも用いることができる。上記したように、上述したエンコード体系の好ましい具現形態は、8ビット/10ビットの符号化である。

さて、8ビット/10ビットの符号化体系のための特殊文字の選択について詳細に説明する。この符号化体系は好適に、通常データワードと特殊制御ワードの間の分離を容易にするものであり、かくして回路の大幅な縮減をもたらす。本発明は好ましくは、ワードフレーム内の遷移の数によって、特殊制御ワードを通常データワードから分ける。ワードフレーム内には、ある固定した数を越える遷移があるから、簡単なカウンタと比較器のみを用いて、そのフレームを特殊制御ワードに分類することができる。上述した条件を満たすどのような特殊制御ワードの選択も、本発明において用いることができる。補遺Aは8ビット/10ビット符号化について、特殊制御ワードの選択の例を示している。10ビットワードの境界には、最大で9のデータ遷移がありうる。ワード境界内に6を越えるデータ遷移があるか、遷移がゼロの何れかであるワードは、特殊制御ワードとして分類される。

IDLEワードは好ましくは、以下の特徴を有する。第1に、それは取り出しユニット24がビット同期を獲得するのに十分な数の遷移を有する。第2に、それはワード同期について、シフト不変である。第3に、それは平均して、論理1ビットと論理0ビットの数が等しい。こうしたバランスのとれたパターンは、例え



ばシリアルリンク28内の信号経路が接地ループや同相信号の伝播を防止するために変圧器を含まねばならない場合に、望ましいものである。補遺Aに示した4つのワードは、10ビットフレーム内に8つのデータ遷移を有し、DCフリーであり、相互にシフト不変であって、IDLEワードとして定義される。これら4つのワードの何れを用いることもできる。IDLEワードの反転したものもまた、使用することができる。これらのワードを用いることにより、ワード同期を容易に獲得することができる。2フレーム以内に15を越えるデータ遷移がある場合には、受信側はワード同期を獲得する。

6つのデータ遷移を有するワードは、等時性データ転送ワード及びデータストリーム分離文字として用いられる。「0」で始まり6データ遷移を有するワードは、等時性データ転送ワードに用いられる。「1」で始まり6データ遷移を有するワ

ードは、データストリーム分離情報に用いられる。

ワード境界内に遷移を有しないワードは、リンク遮断文字として使用される。

1から5のデータ遷移を有するワードは、通常のデータ文字として用いられる。

図2に示すように、スケジューラ46はデータバッファ42とマルチプレクサ48の制御に責任がある。スケジューラ46は好ましくは、線52a, 54b, 54c...54n經由で結合された複数の入力を受信し、エンコーダ40とデータバッファ42からエンコードされたワードを受信する。スケジューラ46は線62と58を介してデータバッファ42とマルチプレクサ48のそれぞれに結合された第1及び第2の出力を有する。スケジューラ46はまた、2つの追加的な入力を受信し、第1入力はクロック信号を受信するように結合され、また第2入力は線66を介して、シリアルリンク28を始動させるか遮断すべきかを特定する制御信号を受信するように結合されている。スケジューラ46は、エンコードされた信号のどれをマルチプレクサ48から並直列変換器50に送るかを制御する。スケジューラ46は好ましくは、以下の規則に従って、マルチプレクサ48により出力される信号を制御する。

1) 等時性データ転送ワードは受信された場合にマルチプレクサ48によっ

て出力されるデータストリーム中に入力され、最も高い優先順位を有する。

2) 線52a上に出力されるエンコードされた主ストリームは次に高い優先順位を有し、送信すべき等時性データ転送ワードがない場合に、主ストリームが送信しなければならないデータストリーム分離ワードの次に、マルチプレクサ48により選択されて出力される。

3) 線54b上にデータバッファ42から出力された、エンコードされた第2のストリームはその次に高い優先順位を有し、送信すべき等時性データ転送ワード又はエンコードされた主ストリームデータワードがない場合に、第2のストリームが送信しなければならないデータストリーム分離ワードの次に、マルチプレクサ48により選択されて出力される。...

4) 線54n上にデータバッファ42から出力された、エンコードされた第nのストリームはその次に高い優先順位を有し、送信すべき等時性データ転送ワード、エンコードされた主ストリームデータワード、...又はn-1

番目のストリームデータワードがない場合に、第nのストリームが送信しなければならないデータストリーム分離ワードの次に、マルチプレクサ48により選択されて出力される。

5) そして、送信すべきデータワード又は等時性データ転送ワードがない場合に、スケジューラ46はマルチプレクサ48に制御を送って、IDLEワードが転送されるようにする。

マルチプレクサ48は好ましくは、複数の入力と複数の出力を有する。マルチプレクサ48は好ましくは、n個の10対1マルチプレクサである。マルチプレクサ48は制御コード発生器44、エンコーダ40及びデータバッファ42から複数の信号を受信する。信号の各々は、好ましくは10パラレルビットである。マルチプレクサ48は10パラレルビットのセットの1つをその出力にもたらし、この出力は線56によって並直列変換器50の入力に結合されている。並直列変換器50は受信するワードの各々について、10ビットワードを線28を介して、ビット毎に出力する。

さて図3を参照すると、埋め込みユニット22の特定のな実施例がより詳細に示されている。理解を容易にしました便ならしめるために、同様の部材には同様の参

照番号が付されている。図3に示された特定の実施例は、主データストリームがビデオデータ、ビデオ制御信号、及び等時性データストリームを含む場合に用いることを意図したものである。他のデータストリーム1からnは、等時性情報を含まない、付加的な多重化データのためのものである。図3に示された本発明の実施例は、エンコーダ40、データバッファ42、及び制御コード発生器44がそれぞれ、複数のエンコーダ40a, 40b, 40c, ..., 40n, 40u, 40v、複数のストリームバッファ42b, 42c, ..., 42n、及び複数の制御コード発生器44a, 44b, 44c, ..., 44n, 44x, 44y, 44zによって置き換えられている点を除き、図2に示された実施例と同様のものである。

さらにより具体的には、ビデオデータ信号を10ビットのバラレル出力にエンコードするために、ビデオデータコーダ40aが備えられている。当業者は、ビデオデータを表すのに用いられるビット数に応じて、ビデオデータコーダ40aは複数の8対10ビットコーダであってもよいことを理解するであろう。例えばビデオ

データコーダ40aは、赤チャネルについて8ビット、緑チャネルについて8ビット、青チャネルについて8ビットという24ビットのRGBデータが用いられる場合、3つの8対10ビットコーダであることができ、或いは16ビットのYUVデータについては2つの8対10ビットコーダであることができる。本発明に従って構成された例示的なビデオコーダ40aが図5に示されている。またコーダ40u及び40vが、ビデオ制御データと等時性データストリームのために備えられている。同様に、ストリーム1からnについて、各々のストリームはそれぞれ専用のコーダ40bから40nを有しており、各々の特定のデータストリームをエンコードするようになっている。コーダ40bから40n, 40u, 40vは好ましくは同一であり、各々がコーダ40bから40nの入力に印加された8ビット値を、所定の符号化体系に従って、対応する10ビットワードにマッピングする。コーダ40bから40nについて用いることのできる例示的な符号化体系は、1996年3月27日に出願されここでの参照によって本書に取り込まれる"High-Speed Digital Video Signal Transmission System"と題する米国特許出願第08/\_\_\_\_号の18-25頁と図7に詳述されている。

ビデオデータコード40a、ビデオ制御コード40u、等時性コード40vの出力は、線52a,52u,52vのそれぞれによって、マルチプレクサ48の対応する入力に結合されている。コード40a,40u,40vの各々はまた、線64を介してスケジューラ46に結合される出力を提供し、シリアルリンク28上で送信可能なデータが、対応するコード40a,40u,40vの出力から利用可能であるかどうかを示す、待ち（ウェイティング）信号を提供する。

コード140bの出力は、線52bによってストリーム1バッファ42bの入力に結合されている。ストリーム1バッファ42bの出力は次いで線54bにより、マルチプレクサ48の入力に結合される。残りのコード40cから40nも同様に、それぞれのバッファ42cから42nを通じて、マルチプレクサ48のそれぞれの入力に結合されている。ストリームバッファ42b,42c,42nの各々は好ましくは、nエンコードワードを格納可能なFIFOバッファであり、ここでnは多重化されるデータストリームの数である。ストリームバッファ42b,42c,42nは好ましくは、線62によってスケジューラ46へと結合され、ストリームバッファ42b,42c,42nがい

つくクロックされるべきかを特定する制御信号を受信する。ストリームバッファ42b,42c,42nの各々はまた、線64を介してスケジューラ46へと結合される出力をもたらし、シリアルリンク28上で送信可能なデータが、対応するストリームバッファ42b,42c,42nの出力から利用可能であるかどうかを示す、待ち信号を提供する。

図3に示す実施例は、複数の制御コード発生器44a,44b,44c,...44n,44x,44y,44zを含む。最初の制御コード発生器44xは線60xを介してマルチプレクサ48の入力に結合され、IDLEワードをもたらす。付加的な制御コード発生器44y及び44zは、線60y,60zのそれぞれを介してマルチプレクサに対し、リンク遮断コード及びリンクスタートアップコードを供給するように設けられている。残りの制御コード発生器44a,44b,44c,...44nは、各ストリームに1つずつ、データストリーム分離ワードをそれぞれ提供する。制御コード発生器44a,44b,44c,...44n,44x,44y,44zの各々は、符号化体系に従ってIDLEワード、リンクスタートアップコード、リンク遮断コード、ビデオ開始ワード、ストリーム1開始ワード等に用いら

れる10ビットワードをもたらすように配線されていることが好ましい。等時性データ転送ワードは、ビデオコーダ40aによって直接に発生される。当業者は、代替的な実施例では、マルチプレクサ48のデータ入力をスケジューラ46のデータ出力に結合することができ、またそうした代替的な実施例ではスケジューラ46が必要に応じて上記のコードワードを発生し、提供することを理解するであろう。

本発明の動作は、図4A及び4Bを参照することによって最もよく理解できる。図4Aはタイミング図であって、クロック信号、主ストリームを形成するビデオ制御信号及びデータ信号、第2ストリームのためのデータ信号、及び埋め込みユニット22により生成され線28上に出力されるシリアルストリームを示している。本発明の主要な目的の1つは、埋め込み機構がビデオ信号及び等時性データストリームに透過的に見えるようにすることである。受信側でのビデオデータ信号と制御信号のタイミングは、信号の埋め込みによっては変化しない。図4A及び4Bのタイミング図は、図3に示された埋め込みユニットの実施例に対応しており、そこではビデオストリームが最も高い優先順位を有し、従って他のストリームにより邪魔されることなく送信される。本発明は好適に、水平及び垂直同期信号を

一対の始めと終わりの等時性転送ワードへとエンコードし、それによって垂直及び水平同期期間の多くを、他のストリームデータの多重化に利用できるようにしている。図4Aに示されているように、ビデオ制御信号は同期信号の立ち上がり及び立ち下がりエッジで等時性転送ワードだけを送信することのみによって送られ、従ってビデオ制御信号が変化しない期間では、その値を用いて他のデータを送ることができる。ビデオ制御信号の立ち上がり及び立ち下がりエッジは各々、異なる特殊文字を有する。データストリーム1は水平帰線消去期間に挿入され、データストリーム1の頭には、データストリーム1を識別する開始制御ワードが用いられる。マルチメディアデータストリームの各々は、識別のために独自の特別な開始制御ワードを有する。例えばストリーム1は、ビデオ開始ワードに用いられるのとは異なるデータ開始ワードを有する。全てのストリームバッファが空で、ビデオ信号が何も入ってこなければ、スケジューラはビット同期とワード同

期のために I D L E ワードを送信する。図 4 B は、この発明を用いた等時性データ転送のタイミング図を示している。他のデータ転送の間に等時性又は時間臨界的なデータを送信する必要がある場合、データ転送の中間に等時性データ転送ワードを挿入することができる。すなわち図 4 B に示すように、ストリーム 1 データの転送が割り込まれて、等時性データ転送ワードが送信され、その後にストリーム 1 データが、送信すべきストリーム 1 データがなくなるまで、続けて送られる。かくして本発明は、ビデオ制御信号のような時間臨界的なデータを、信号が受信された場合に正確なタイミングが維持されるようにして送ることを可能にする。取り出しユニット 24 は、特別な等時性データ転送ワードが存在すれば、通常のデータストリームを切れ目なしに受信することができ、また等時性タイミング情報を正確な時点で分離することができる。

さて図 6 を参照して、スケジューラ 46 の好ましい実施例を説明する。スケジューラ 46 は、エンコードされたワードが並直列変換器 50 に送られる順序の制御に責任を負う。スケジューラ 46 は好ましくは、コード 40a, 40u, 40v とストリームバッファ 54b, 54c, 54n の各々から待ち信号を受信するよう結合され、またリンクが動作可能であるか否かを示す信号を受信するよう結合された、複数の制御入力を持つ。スケジューラ 46 はまた、マルチプレクサ 48 又はストリームバッフ

ァ 54b, 54c, 54n の各々を制御するための、複数の出力を有している。スケジューラ 46 は、組み合わせロジック、状態マシン、又は A S I C の如きプログラムされたプロセッサとして実現することができるが、図 6 のフローチャートにより示された、その動作の 1 つの実施例から最もよく理解されるものである。図 6 に示すように、スケジューラ 46 は最初にステップ 600 で、パワーダウン信号が表明されているかどうかをテストする。パワーダウン信号が表明されているなら、シリアルリンク 28 は遮断され、スケジューラ 46 は制御信号をマルチプレクサ 48 に送って、パワーダウンコードを出力する。スケジューラ 46 は次いで、ステップ 604 に進む。パワーダウン信号が表明されていない場合には、スケジューラ 46 は直接にこのステップ 604 に進む。ステップ 604 において、スケジューラ 46 はリンク 28 上に送信すべきビデオデータの待ちがあるか否かを判定する。これは、コード 40a の待

ち出力を監視することによって行うことができる。送信すべきビデオデータの待ちがあるなら、スケジューラ46は続けてステップ606において、マルチプレクサ48に制御信号を出力することによりビデオ開始データコードを送信し、次いでステップ608においてマルチプレクサ48に制御信号を出力することによりビデオデータを送信する。ステップ608の後、スケジューラ46はステップ600に戻る。送信すべきビデオデータの待ちがない場合には、スケジューラ46はステップ610に進み、そこで  $i$  が1にセットされ、スケジューラ46は制御信号を出力して所定数  $k$  のクロックサイクルにわたって IDLEワードを送信する。次いでステップ612においてスケジューラ46は、ビデオ制御コード40u又は等時性ワードコード40vの如きから送信すべき、何らかの等時性信号があるかどうかを判定し、制御信号を出力して等時性制御ワードを送信する。

次にステップ614において、スケジューラ46は  $i$  番目のストリームがリンク28を介して送信する準備の整った何らかのデータを有するかどうかを判定する。有しなければ、スケジューラ46はステップ624に進む。 $i$  番目のストリームがリンク28を介して送信する準備の整った何らかのデータを有するなら、スケジューラ46はマルチプレクサ48に制御信号を出力し、ステップ616において、 $i$  番目ストリーム開始ワードを送信する。次いでステップ618においてスケジューラ46は、ビデオ制御コード40u又は等時性ワードコード40vの如きから送信す

べき、何らかの等時性信号があるかどうかを判定し、制御信号を出力して等時性制御ワードを送信する。このことは、リンク28を介して送信すべき何らかの等時性信号がある場合に、それらが直ちにデータストリーム中に注入されて、それらのタイミングが保存されることを確実にする。次いでステップ620において、スケジューラ46はマルチプレクサ48に制御信号を出力して、 $i$  番目のデータストリームのデータワードを送信する。次にステップ622において、スケジューラ46は、対応するバッファに格納されており送信する必要がある、より多くの文字が  $i$  番目のデータストリームにあるか否かをテストする。あるならば、この手順はステップ618にループバックする。なければ、スケジューラ46はステップ624へと続き、 $i$  の値を  $n$  の値、つまりデータストリームの数と比較することにより、それ

が最後のデータストリームであるかどうかをテストする。i が n に等しくなければ、スケジューラ46はiの値をステップ626でインクリメントし、その後ステップ614へと続く。i が n に等しければ、スケジューラ46は制御信号を出力して、ステップ628でIDLEコードを出力し、そして次いで、スケジューラ46はステップ630において、ビデオ制御コード40u又は等時性ワードコード40vの如きから送信すべき、何らかの等時性信号があるかどうかを判定し、制御信号を出力して等時性制御ワードを送信する。ステップ630の後に、スケジューラ46はステップ600に戻る。

さて図7に移ると、取り出しユニット24の第1の実施例が示されている。取り出しユニット24は好ましくは、ドライバ70と、直並列変換器72と、ワードアライナ73と、ストリームセレクト76と、デマルチプレクサ74と、データバッファ78と、デコーダ80とからなる。取り出しユニット24はリンク28からのシリアルデータを、複数のデータストリームに分ける。取り出しユニット24側において、シリアルビットストリームはkビットのパラレルデータワードに変換され、これらのワードが整列される。kビットのパラレルワードは次いで、適当なチャネルへと経路指定されてデコードされ、次いで在来の仕方で行われる。本発明のシステム20は透過的に現れ、従ってデコーダ80により線30aから30n上にもたらされる信号は、データのコンテンツとそれぞれのタイミングについて、線26aから26n上の対応する入力と同一である。図7はまた、線32上で受信さ

れたクロック信号の使用を例示している。このクロック信号は好ましくは、構成部品72,74,76,78,80の各々へと在来の仕方で行われ、線28上で受信されたシリアルビットストリームの処理に用いられる。

取り出しユニット24への入力、バッファ又はラインドライバ70によってその入力にもたらされる。バッファ70の出力は、シリアルデータストリームを線82を介して、直並列変換器72へもたらす。

直並列変換器72は1つのデータ入力と、複数のデータ出力とを有する。直並列変換器72はシリアルストリームを、kビットのパラレルデータワードに変換する。例えば直並列変換器72は、シリアルストリームを10ビットワードに変換する。



直並列変換器72はまた、ワードのアライメントを取るよう動作する。シリアルストリームを10ビットワードに変換するための、かかる直並列変換器72の例示的な実施例は、1996年3月27日に出願されここの参照によって本書に取り込まれる"High-Speed Digital Video Signal Transmission System"と題する米国特許出願第08/\_\_\_\_\_号の図5とそれに対応する説明中に示されている。直並列変換器72は代替的に、シリアル入力パラレル出力のシフトレジスタと、バッファレジスタによって構成することもできる。直並列変換器72のデータ入力は、シリアルデータストリームを受信するように線82を介して結合されており、そのパラレル出力を線83を介して供給する。

直並列変換器72の出力は、ワードアライナ73の入力として提供される。ワードアライナ73は、ビット及びワード同期を取るために、データストリーム中のアイドル文字を使用する。ワードアライナ73は複数の入力と、複数の出力とを有し、エンコードされたデータをパラレルで受信し、アライメントの取られたエンコードされたデータワードをパラレルに出力する。例示的な実施例におけるワードの大きさは、好ましくは10ビットである。複数の入力は線83に結合され、複数の出力は線84に結合される。直並列変換器72の直ぐ後にワードアライナ73を結合することは特に有利であるが、これは10ビットの境界内の遷移数を計数することにより、特殊文字による分離を簡単に行うことができるからである。ワードアライナの例は、図10A及び10Bを参照して後でより詳細に説明する。

ワード整列された線84上のパラレルビットは、デマルチプレクサ74とストリ

ームセクタ76への入力として提供される。デマルチプレクサ74は好ましくは、複数のデータ入力と、複数のデータ出力と、制御入力とを有する。デマルチプレクサ74の入力は、直並列変換器72からエンコードされたワードを受信するように結合される。複数の出力は幾つかのセットにグループ化されており、各々のセットはデマルチプレクサ74の入力の数に等しい数の出力を有している。かくして出力のセットの各々は、デマルチプレクサ74の入力で受信されたワードが経路指定されうるチャネルを規定する。デマルチプレクサ74の出力のセットの各々は、信号線88a, 88b, 88c, ..., 88nのそれぞれへと結合される。ここの例示的な実施例で

は、10入力と、10出力のnセットとがある。ストリームセレクト76から線86を介して受信される信号により、デマルチプレクサ74が制御され、又はデマルチプレクサ74の入力上にあるワードが経路指定されるチャネルが選択される。

ストリームセレクト76はまた線84に結合されて、直並列変換器72からエンコードされたワードを受信する。ストリームセレクト76は特殊ワードを検出し、デマルチプレクサ74を制御することによってそれらのワードを適当なチャネルへと差し向ける。例えばストリームセレクト76は線84上のワードをストリーム分離ワードと比較し、線84を信号線88a, 88b, 88c, ... 88nにより表された適切なストリームと結合させる。各々のストリームは、データストリームの始まりを示す固有の分離ワードを有しているから、デマルチプレクサ74は分離ワードを検出すると、それに従って切り替えられることができる。ストリームセレクト76は好ましくはこれを、ストリームの開始制御ワード又はビデオストリームの等時性データ文字が線84上にもたらされた場合、常に出力ストリームチャネルを選択するようにすることによって行う。通常のデータワード又はIDLEワードがストリームセレクト76によって検出された場合には、選択の変更は行われず、ワードを出力するために選択されたストリームはそのままとする。ストリームセレクト76のために1つの例示的な実施例は、後で図9を参照してより詳細に説明する。ストリームセレクト76はまた、線92に結合された出力を有しており、リンク遮断又はスタートアップワードが受信された場合に制御信号を提供して、取り出しユニット側にある他の構成部品が、リンク28が低電力動作又は他の目的

のために動作される期間を通知されるようにする。

デマルチプレクサ74は信号線88a, 88b, 88c, ... 88n上に、種々のデータストリームを出力する。第1のストリーム信号線88aは、デコーダ80の入力に結合されている。残りのデータストリームは、データバッファ78のそれぞれの入力に結合されている。データバッファ78の出力は順次、デコーダ80のそれぞれの入力に結合されている。バッファ78は好ましくは、スケジューラ46によりデータストリーム信号のり(再)タイミングが行われない場合に、こうした機能を果たすために使用される。換言すれば、あるストリームのためのデータは、そのストリームのデ

ータブロックが存在し、次いでデコーダ80へとグループとして送信可能となるまで、バッファ中に格納される。代替的な実施例では、デマルチプレクサ74の出力がデコーダ80のそれぞれの入力に結合されるようにして、バッファ70を取り除いてもよい。

最後に、エンコードされたパラレルストリームはデコーダ80へと、線88a, 90b, 90c, ... 90nを介して印加される。これらの信号線の各々は、エンコードされたワードのkビットをパラレルで表す。デコーダ80は各々の信号線をそれぞれのnビットワードへと、効果的にデコード又は翻訳する。例えばこのデコーダは、10ビットワードを当初の8ビットワードの形に変換することにより、埋め込みユニット24によりもたらされたエンコードを取り外す。これらの信号の各々は、信号線30a, 30b, 30c, ... 30nのそれぞれに出力される。

さて図8を参照すると、取り出しユニット24の第2の、より特定のな実施例が詳細に示されている。理解を容易にしました便ならしめるために、同様の部材には同じ参照符号を付してある。図8に示された特定の実施例は、主データストリームがビデオデータ及びビデオ制御信号を含み、他のデータストリーム1からnが等時性情報を含まない、付加的な多重化データのためのものである場合に用いることを意図したものである。図8に示された本発明の実施例は、データバッファ78とデコーダ80が複数のストリームバッファ78b, 78c, ... 78nと複数のデコーダ80a, 80b, 80c, ... 80nのそれぞれで置き換えられている点を除き、図7に示した実施例と同様のものである。

デマルチプレクサ74の2番目からn番目までの出力は、線88b, 88c, 88nを介

してストリームバッファ78b, 78c, 78nのそれぞれに結合されている。ストリーム1バッファ78bの出力は次いで、線90bを介して第1デコーダ80bの入力に結合されている。残りのストリームも同様に、それぞれのバッファ78cから78nを通じて、デコーダ80cから80nのそれぞれの入力に結合されている。ストリームバッファ78b, 78c, 78nの各々は好ましくはn個のエンコードされた10ビットワードを格納することのできるFIFOバッファであり、ここでnは脱多重化されるストリームの数である。

さらにより特定のには、ビデオデコーダ80aは、ビデオデータ及び制御信号を8ビットの平行データ出力信号と平行制御信号にデコードするために備えられている。同様に、ストリーム1からnについて、各々のストリームはそれぞれに専用のデコーダ80bから80nを有しており、各々の特定のデータストリームをデコードする。デコーダ80aから80nは好ましくは同一であり、デコーダ80aから80nの入力に印加された10ビット値を、予め規定された符号化体系を逆に適用することにより、対応する8ビットワードにマッピングする。デコーダ80aから80nについて用いることのできる例示的な脱符号化体系は、1996年3月27日に出願されここでの参照によって本書に取り込まれる“High-Speed Digital Video Signal Transmission System”と題する米国特許出願第08/\_\_\_\_\_号の25-28頁と図8に詳述されている。

さて図9を参照すると、ストリームセレクト76の実施例が詳細に示されている。ストリームセレクト76のこの実施例は、主ストリームがビデオ制御とデータであり、残りのストリームが等時性データ転送ワードをなら含まないデータであるシステムについて設計されたものである。図9のストリームセレクト76は好ましくは、複数の比較器102a,...102n,102zと、ORゲート112と、バイナリエンコーダ104とを含む。ストリームセレクト76はまた、各々が異なる等時性データ転送ワード又はデータストリーム分離ワードを出力するように、複数のレジスタ又は配線された結合101a,...101n,101zを含むことができる。比較器A 102zは、第1入力と、第2入力と、出力とを有し、その入力に印加された信号が合致するかどうか比較を行う。比較器A 102zの第1入力は線106zを介して、ビデオ制御ワードを格納しているレジスタ100zの出力に結合されている。比較器A 102z

の第2入力は、線84を介してエンコードされたワードを受信するように結合されている。残りの比較器1からn、つまり102a,...102nは同様に、第1入力でそれぞれの開始制御ワードを受信し、線84上でシリアルリンク28からのワードを受信するように結合されている。比較器A 102zによる合致を合図する出力は線110a上で、ORゲート112の第1入力へと提供される。比較器1 102aによる合致を合図する出力は線110b上で、ORゲート112の第2入力へと提供される。ORゲート1

12の出力は次いで、バイナリエンコーダ104の第1入力に結合される。かくして、ビデオ制御ワード又はビデオ開始ワードの何れかが線84上に受信されたならば、バイナリエンコーダ104は線86を介してデマルチプレクサ74に信号をもたらし、そのストリームを線88a上に出力する。他の比較器102b,...102nの出力も同様に、バイナリエンコーダ104のそれぞれの入力に結合されて線86上に印加される信号へと翻訳され、この信号がデマルチプレクサ74の出力を適宜、ストリーム信号線88b,...88nへと切り替える。

さて図10A及び10Bを参照して、ワードアライナ73の好ましい実施例を説明する。ワードアライナ73はここでは、ワードの大きさが10ビットである例示的な実施例のためのワードアライナ73について説明する。当業者であれば、ワードが他の大きさを有する場合に、ワードアライナをどのように構成するかを認識するであろう。本発明により用いられる符号化体系は好適に、ワード境界内の遷移の数に基づいて、特殊文字を通常の文字から分離する。アイドル文字は10ビット境界内に8つの遷移を有するのに対し、等時性データ転送ワード及びデータストリーム分離ワードは10ビット境界内に6つの遷移を有する。等時性データ転送ワードは0で始まり、データストリーム分離ワードは1で始まる。IDLEワードについては以下で補遺Aに記されている。アイドルパターンは、IDLEワードの1つとその反転の連続的なシーケンスである。例示的なアイドルパターンは、0110101010010101010110101010010101011010101001010101である。ワードアライナ73は21ビットのデータウィンドウを見て、その21ビットデータウィンドウ内の遷移数を数えることによって、アイドルパターンを検出する。21ビットのデータウィンドウ内の2つの連続する期間について18の遷移があるならば、アイドルパターンが検出されたことになり、ワード整列が実行される。他

の特殊文字や通常のデータのどのような組み合わせについても、21ビットのデータウィンドウ内の2つの連続する期間について、18の遷移はあり得ないことが保証されている。

図10Aに示すように、ワードアライナ73は好ましくは、第1レジスタ174と、第2レジスタ172と、第3レジスタ170と、アイドル文字検出器176と、シフタ178

とからなる。第1レジスタ174は好ましくは、10の入力と10の出力を有する。第1レジスタ174の入力は線83に結合され、変換されたパラレルワードを受信する。第1レジスタ174の出力はシフタ178の入力D[9:0]アイドル文字検出器176の入力、及び第2レジスタ172の入力に結合される。第2レジスタ172は第1レジスタ174と同様に、好ましくは10の入力と10の出力を有する。第2レジスタ172の出力はシフタ178の入力D[19:10]と、アイドル文字検出器176の入力に結合される。第2レジスタ172の最下位ビット出力D[10]はまた、第3レジスタ170の入力に結合される。第3レジスタ170は好ましくは、1つの入力と1つの出力とを有し、出力はシフタ178の最上位MSB入力D[20]と、アイドル文字検出器176の入力に結合される。第1、第2、及び第3レジスタ174,172,170の各々は、システムクロックを受信するよう結合されたクロック入力を有している。かくして連続する3クロックサイクルにわたって、第1、第2、及び第3レジスタ174,172,170による21ビットウィンドウの出力は、アイドル文字検出器176とシフタ178の両者に提供される。シフタ178はレジスタ174,172,170から21ビットを受信し、その入力に印加される制御信号に応じて、隣接する10ビットを出力する。シフタ178の出力は、線84上にワード整列された10ビットをもたらしように結合される。

アイドル文字検出器176は入力と出力とを有し、出力はシフタ178の制御入力に結合される。図10Bにより詳細に示されるように、アイドル文字検出器176は好ましくは、複数のXORゲート180と、カウンタ182と、第1のANDゲート184と、Dフリップフロップ186と、第2のANDゲート188と、シフト制御ポイント190と、MSB検出器190とからなる。好ましくは、XORゲート180は20個ある。XORゲート180の各々は、隣接するビットを受信するよう結合された2つの入力を有する。例えば第1のXORゲート180はビットD0とD1を受

信するよう結合され、次のXORゲート180はビットD1とD2を受信するよう結合されるといった具合である。これら複数のXORゲート180の出力の各々は、カウンタ182のそれぞれの入力に結合される。このカウンタ182は好ましくは、その入力で受信した1の数を計数し、それによって21ビットウィンドウにおける遷移の数を計数する。カウンタ182はまた、1の数を5ビットの2進数にエンコ

ードする。かくしてカウンタ182は5つの出力を有する。カウンタ182の2番目と5番目の出力（MSB=16を表すCNT4と、LSBの次=2を表すCNT1）は、ANDゲート184のそれぞれの入力に結合される。かくしてANDゲート184は、21ビットウィンドウ上に18の遷移がある状態を合図する。ANDゲート184の出力はANDゲート188に直接に、またフリップフロップ186を介して入力される。ANDゲート188の出力は、シフト制御ポインタレジスタ190のロードを制御するために使用され、シフト制御ポインタレジスタ190は2つの連続するサイクルにおいて21ビットウィンドウ上に18の遷移がある場合にのみ、ロードされる。シフト制御ポインタレジスタ190の入力は、MSB検出器192の出力に結合されている。MSB検出器192は、第2及び第3レジスタ172,170からビットD[20:10]を受信するように結合されており、アイドル文字のMSBの位置を示す値を出力する。例えば上記の例示的なアイドルパターンについては、MSB検出器192は、シーケンス011又は100の何れかの位置をMSB位置として見出し、正しく整理されたワードについてそのMSBの値を出力し、これが次いでシフト制御ポインタレジスタ190にロードされて、線194を介してシフタ178を制御するものである。

次に図11に移ると、取り出しユニット24の第3の実施例が示されている。理解を容易にし又は便宜のために、図11は第3の実施例が他の実施例と異なる部分のみを示している。特に、この実施例と先の実施例との間の相違に焦点を当てるため、デコーダは図11には示されていない。ここでも、同じか又は類似の機能を有する同様の部材には、他の実施例で用いたのと同じ参照符号が付されている。取り出しユニット24のこの第3の実施例は特に有利であるが、それはこれが、特別な等時性データ転送ワードから通常のデータを切れ目なしに分離する「パブルバッファ」構造120を含むためである。取り出しユニット24のこの第3の

実施例はさらに、他の実施例に関してこれまでに既に説明したドライバ70、直並列変換器72、ワードアライナ73、デマルチプレクサ74及びデコーダ80に加えて、パブルバッファ構造120を形成するデータ選択コントローラ122、複数のバッファ124a, 124b, ... 124n、マルチプレクサ126、及び等時性ワードデコーダ128を含ん

である。データ選択コントローラ122、複数のバッファ124a, 124b, ..., 124n、マルチプレクサ126、及び等時性ワードデコーダ128は好ましくは、直並列変換器72とデマルチプレクサ74の間に結合される。

取り出しユニット24の第3の実施例の「バブルバッファ」構造120は、複数のバッファ124aから124nを提供する。バッファ124aから124nの数は好ましくは、少なくとも、埋め込みユニット22によりシリアルストリームへと多重化されることの可能な、異なるデータストリームの数と同じだけである。第1バッファ124aは1つの入力と1つの出力を有する。第1バッファ124aの入力は線130aに結合されて、ワードアライナ73の出力を受信する。第1バッファ124aの出力は線130bにより、第2バッファ124bの入力に結合される。残りのバッファ124bから124nも同様に縦続接続様式で結合されて、n段のバッファを形成している。最後のバッファ124nは、マルチプレクサ126の入力と等時性ワードデコーダの入力に、線130nを介して結合された出力を有する。各々のバッファ124a, 124b, 124nの出力は好ましくは、出力線130b, 130c, 130nのそれぞれを介して、マルチプレクサ126のそれぞれの入力に結合される。かくしてマルチプレクサ126は、線84を用いてデマルチプレクサ74の入力へと、次いでデマルチプレクサ74を通じて適当なチャンネル上へと、バブルバッファ120に格納されたnワードのどれを提供することもできる。直並列変換器72の出力とn-1の第1バッファの出力はまた、線130a, 130b及び130cのそれぞれにより、データ選択コントローラ122のそれぞれの入力へと結合される。

上に述べたように、最後のバッファ124nは、線130nを介して等時性ワードデコーダ128の入力に結合される出力を有する。このことは、信号内でのタイミングを保持したままで、いかなる等時性ワードをもデコードすることを可能にする。等時性ワードデコーダ128は好ましくは、等時性ワードをデコードして、対応するタイミング制御信号を線135上に出力する。例えば等時性ワードデコーダ128

は、上述したような他のデコーダと同様のデコーダと、また当業者に理解されるように、所望に応じたフォーマットにおいて所望の線上に制御信号をもたらす付加的な発生ロジックであってよい。例えば唯一の等時性信号が、ビデオと共に用



いられる水平同期信号と、垂直同期信号と、DE制御信号であった場合には、かかる付加的な発生ロジックは、各々の制御信号について別々の信号線を備えさせ、そうした制御信号をいつ表明するかを示す等時性データ転送ワードの受信に応じて、これらの信号を表明した表明を取り消す。

データ選択コントローラ122はパブルバッファ120の動作を制御し、線130a,130b,130c上で、直並列変換器72及びバッファ124a,124bからのデータ信号を受信する。データ選択コントローラ122はまた、線134を介してマルチプレクサ126の出力に結合された入力をも有する。このデータ選択コントローラ122は、どのバッファ出力がデマルチプレクサ74に入力されるかを特定する。データ選択コントローラ122は、線132によってマルチプレクサ126を制御するために結合された出力を有する。データ選択コントローラ122は基本的に、その出力がマルチプレクサ126によって出力されているバッファ124a,124b,124nに対するポインタを保持する。データ選択コントローラ122は等時性データ転送ワードについて、n-1番目のバッファ124bを監視する。等時性データ転送ワードが検出されなければ、そのデータはバッファnを通じてデマルチプレクサ74へと転送される。等時性データ転送ワードが検出された場合には、次のクロックの後に、1)等時性データ転送ワードはn番目のバッファに格納されて等時性ワード検出器128に供給され、そして2)マルチプレクサ126は切り替えられて、次のバッファの出力を左へと供給し、マルチプレクサ126の出力において等時性データ転送ワードを格納しない。

今度は図12を参照すると、データ選択コントローラ122がより詳細に示されている。データ選択コントローラ122は好ましくは、等時性ワード検出器140と、選択ポインタ142と、IDLEワード検出器144と、マルチプレクサ150とからなる。選択ポインタ142は増加制御入力と、減少制御入力と、出力とを有する。選択ポインタ142は、マルチプレクサ126によりどの信号が出力されるかを決定するが、これはその出力が線132を介してマルチプレクサ126の制御入力に結合さ

れているからである。選択ポインタ142の出力はまた、マルチプレクサ150の制御入力にも結合されており、等時性ワード検出器140に印加される信号を制御する。選択ポインタ142は、N対1のマルチプレクサについての制御信号と、ポイン

タのための増/減制御をもたらす、どのような種類のポイントでもよい。図12においては、ポイントはNビットの単項ポイントである。Nビットの内てただ1つのビットのみが、論理値1を有することができる。増加信号が印加されると、論理1ビットの位置が右に移動する。減少信号が印加されると、それは左に移動する。

IDLEワード検出器144は、1つの入力と1つの出力を有し、その入力に印加された信号を、IDLEワードの符号化体系で用いられた値と比較する。IDLEワード検出器144の入力は好ましくは線134を介して、マルチプレクサ126の出力に結合される。IDLEワード検出器144の出力は線148を介して、選択ポイント142の増加制御入力に結合される。かくしてアイドル文字がマルチプレクサ126による出力に検出された場合にはいつでも、選択ポイントは左に移動され、Nに向けて増大される。ポイントが既にNを指している場合に増加制御入力が増加的に表明された場合には、選択ポイント142は引き続きNを指す。例示的なIDLEワード検出器144の詳細をもって、図13に示されている。IDLEワード検出器144のこの例示的な実施例は好ましくは、複数のXORゲート200と、複数の加算器(FA)202と、複数の半加算器(HA)204を含む。XORゲート200と、複数の加算器202と、複数の半加算器204は図13に示すように結合されており、IDLEワード検出器144のワード入力における遷移の数を計数するように使用される。符号化体系により、アイドル文字は8つの遷移を有することが必要とされるので、複数のXORゲート200によって8つの遷移が検出された場合に、最後の半加算器204の出力が表明され、線148を介して出力される。

等時性ワード検出器140はマルチプレクサ150と共に使用されて、選択ポイント142の下方への動きを制御する。等時性ワード検出器140は1つの入力と1つの出力を有し、その入力に印加された信号を、等時性データ転送ワードについて符号化体系中で使用された値と比較する。かくして等時性ワード検出器140は複数の比較器からなることができ、その各々は入力信号を、符号化体系の等時性デ

ータ転送ワードのそれぞれと比較するが、1つの例示的な実施例では、それらの出力の論理ORを取る。等時性ワード検出器140の入力は好ましくは、マルチプ

レクサ150の出力に結合される。等時性ワード検出器140の出力は線146を介して、選択ポイント142の減少制御入力に結合される。かくして等時性データ転送ワードがマルチプレクサ150を介して等時性ワード検出器140に入力された場合にはいつでも、選択ポイント142は右方へと移動して1に向かって下がる。マルチプレクサ150は信号線132に結合された選択制御入力を有し、直並列変換器72の出力又はバッファ段124a,124bの一方の何れかを、等時性ワード検出器140への入力として選択する。等時性ワード検出器140のさらに別の例示的な実施例を図14に示す。等時性ワード検出器140のこの例示的な実施例は、複数のXORゲート210と、複数の加算器(FA)212と、複数の半加算器(HA)214と、ANDゲートとからなる。複数のXORゲート210と、複数の加算器212と、複数の半加算器214と、ANDゲートとは、図14に示すように結合されており、等時性ワード検出器140に入力されたワードにおける遷移の数を計数し、また先頭の0を検出するように使用される。符号化体系により、すべての等時性転送ワードはMSB位置に0を有し、6つの遷移を有することが要求される。かくしてXORゲート210のアレイと、加算器212及び半加算器214の千鳥状の結合は、等時性ワード検出器140の入力に印加されたワードに6つの遷移があるかどうかを判定するために用いられる。ANDゲート216は、ANDゲート216の出力が表明されて等時性転送ワードの検出を合図するために、ワードのMSBが0であるという付加的な条件を追加する。ANDゲート216の出力は線146に結合されて、選択ポイント142における減少を合図する。

バブルバッファ120の動作は、図15を参照すると最もよく理解できる。図15は、連続する8つのクロックサイクルの間の、直並列変換器72の出力(B0)、第1バッファ124aの出力(B1)、第2バッファ124bの出力(B2)、第nバッファ124nの出力(B3)、マルチプレクサ126の出力(Muxout)、及び等時性ワードデコーダ128に対する信号入力(Isoout)を示す表である。図15は、等時性データ転送ワードが通常のデータストリーム中に挿入されている状況を示している。図15については、4つのデジタルバッファがあり、D0-D5が通常のデータスト

リームであるとする。D0は最初に受信側に到着し、D5は最後である。しかし

D0の後に、等時性データ転送ワードI1が挿入されている。選択ポイント142は、時間スロット4までは変化しない。等時性ワード検出器140は挿入された等時性ワードI1のバブルを時間スロット4で検出し、次のサイクルで選択ポイント142は左に移動する。時間スロット5では、通常のデータと等時性データが同時に現れる。通常のデータはマルチプレクサ126を通じてマルチプレクサ74に出力され、等時性データはn番目のバッファ124nにより等時性ワード検出器128へと出力される。かくして通常のデータは切れ目なしに受信され、等時性データはタイミング変更なしに受信される。時間スロット7において、IDLEワード検出器144はマルチプレクサ126からIDLEワードを受信し、選択ポイント142を右に移動させる。ポイントが最も右の位置に到達した後は、もはやポイントは移動しない。通常のデータストリームに「バブル(泡)」を生成することなしに、最大Nの等時性文字を挿入し、正確なタイミングで受信することができる。選択ポイント142が1サイクルの間にNポイント移動して、Nの等時性文字を続けて挿入可能であることは注目に値する。

図16を参照すると、本発明の取り出しユニット24のさらに別の実施例が示されている。取り出しユニット24のこの4番目の実施例は3番目の実施例に似ているが、ビデオラインバッファ160をさらに含んでいる。ここでも、同様の参照番号を、上述した実施例で用いたのと同様の部材について用いている。この4番目の実施例が他の実施例と異なるのは、ビデオラインバッファ160がビデオデコーダ80aの出力に線90aを介して結合されている点である。ビデオラインバッファ160の存在と使用により、取り出しユニット24側におけるビデオデータの出力に影響することなしに、埋め込みユニット22においてビデオリフレッシュデータをより小さなグループ又はブロックへと分割することが可能になる。典型的には、ビデオリフレッシュデータはフレームメモリからアクセスされ、ディスプレイへと連続して送られるものである。ディスプレイデータをいつ送信できるかについてのタイミングは、在来のディスプレイデータ転送においては固定されている。しかしながら、ビデオ信号のラインバッファリングの付加により、リフレッシュデータストリームをより小さな塊へと分割することができる。このことは

次いで、データ転送をずっと容易なものとし、またフレームアクセスをより融通性に富んだものとする。ビデオデータストリームをより小さな部分へと分割可能であることから、他のマルチメディアデータストリームをより柔軟に挿入することができる。この4番目の実施例はまた、線130n上でバブルバッファ120により提供される制御ワードの等時性ストリームが出力として送られ、またデマルチプレクサ74から線88aを介して受信されるビデオデータと共にビデオデコーダ80aに入力として提供されるため、他の実施例と異なるものである。ビデオデコーダ80aによりビデオデータが受信されデコードされるに際して、そのデータはビデオラインバッファ160にロードされる。より小さな(全ラインより少ない)データの塊又はブロックはラインバッファ160へと、それが満杯になるまで送られる。ラインバッファが満たされた後、そのラインはデジタルディスプレイに送られる。このラインバッファリングは、リフレッシュビデオデータ機構の分割を、ディスプレイインタフェースに対して完全に透過的なものとする。図17は、ビデオリフレッシュデータを2つのブロックに分割し、シリアルリンク28を介して送信し、また別のマルチメディアストリームと混合されることが可能である、例示的な仕方を示すタイミング図を示している。取り出しユニット24においては、同期(sync)信号が表明された期間の間に送信された第1のビデオデータブロックと、マルチメディアデータストリーム1の後に送られた第2のビデオデータブロックをラインバッファ160内で再度組み合わせて、あたかも転送の間に分割がなかったかのようにして、ビデオデータを供給することができる。

本発明を特定の好ましい実施例に関して説明してきたが、当業者は、種々の修正を行いうることを認識するであろう。例えば、本発明は上記においては基本的に、8B/10Bの符号化/脱符号化体系について説明されてきた。当業者は、本発明は符号化のために用いるビットの数とは関係なしに適用可能であることを理解するであろう。さらにまた当業者は、図18A及び18Bの例により示されるように、多重の埋め込みユニットと取り出しユニットを用いて、双方向通信システムを構成してもよいことを認識するであろう。好ましい実施例に対するこれらの、及びその他のバリエーションや修正は、本発明によって提供されるものであり、本発明は以下の請求の範囲によってのみ限定されるものである。

## 補遺A-制御ワードのサンプル

I D L Eワード

0101010110

0101011010

0101101010

0110101010

1010101001

1010100101

1010010101

1001010101

等時性データ転送ワード

0010101110

0010110110

0010111010

0011010110

0011011010

0011101010

0100101110

0100110110

0100111010

0101001110

0101011100

0101100110

0101101100

0101110010

0101110100

0110010110

0110011010

0110100110

0110101100

0110110010

0110110100

0111001010

0111010010

0111010100

データストリーム分離ワード

1000101011

1000101101

1000110101

1001001011

1001001101

1001010011

1001011001

1001100101

1001101001

1010001011

1010001101

1010010011

1010011001

1010100011

1010110001

1011000101

1011001001

1011010001

1100010101

1100100101

1100101001

1101000101

1101001001

1101010001

リンク遮断ワード

0000000000

1111111111



【図1】

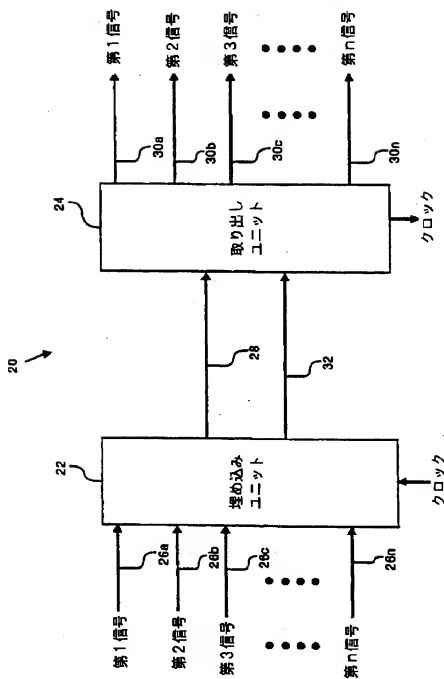


Figure 1

【図2】

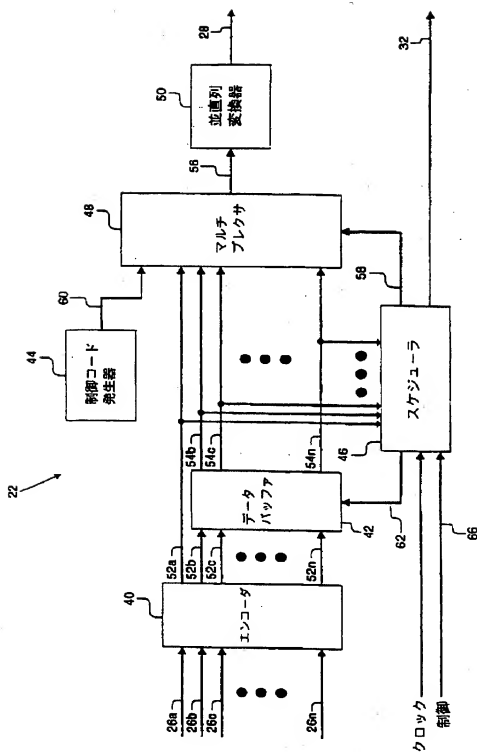


FIGURE 2



【図4】

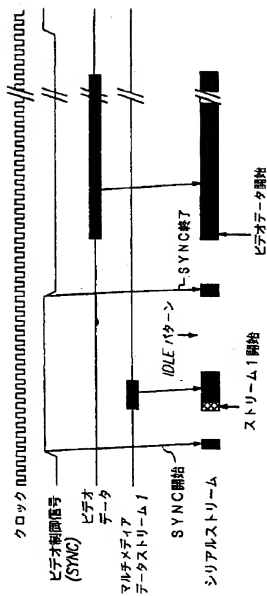


Figure 4A

【図4】

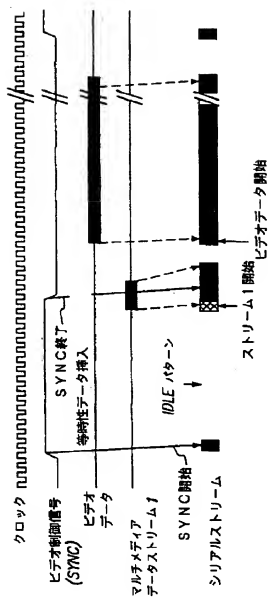


Figure 4B

【図5】

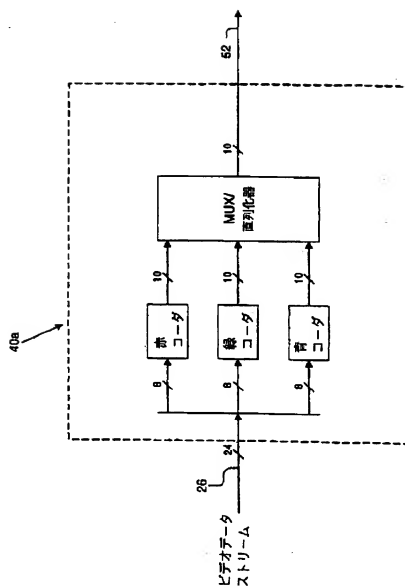
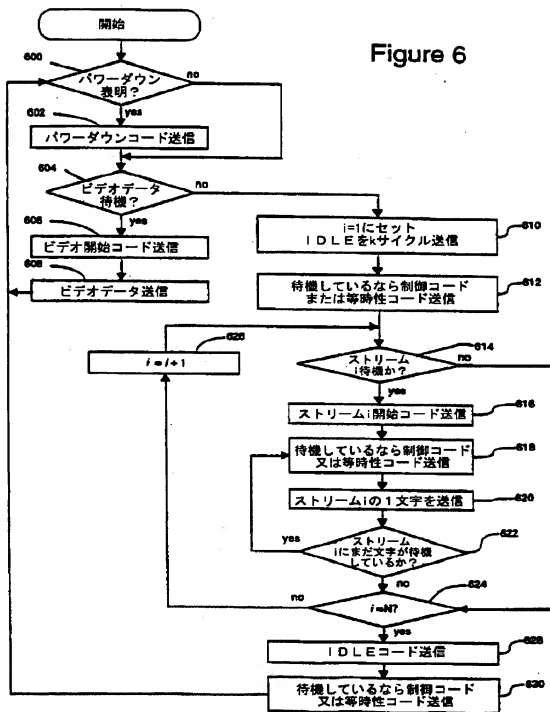


FIGURE 5

【図6】

Figure 6



【図7】

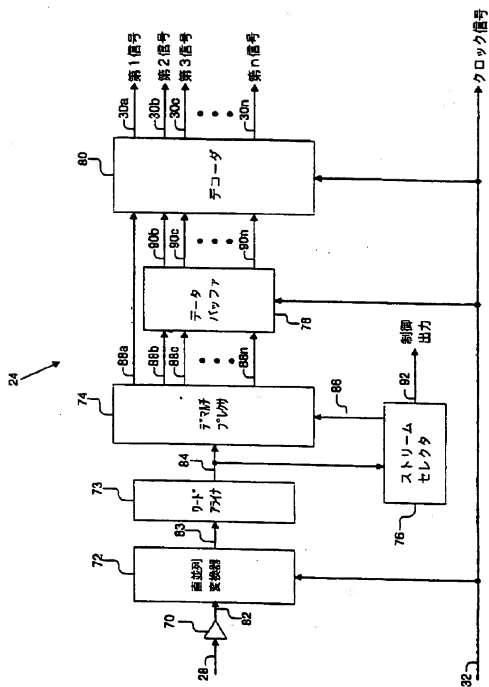


FIGURE 7



【図8】

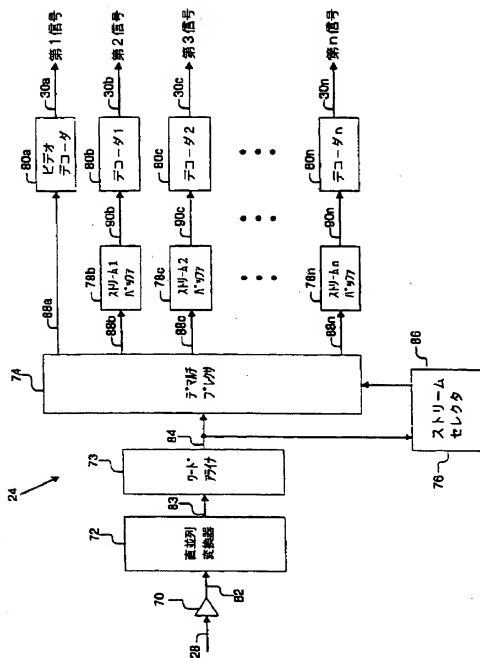


FIGURE 8

【図9】

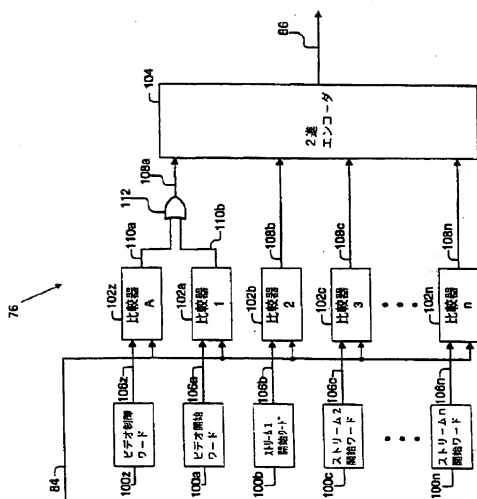


FIGURE 9









【図13】

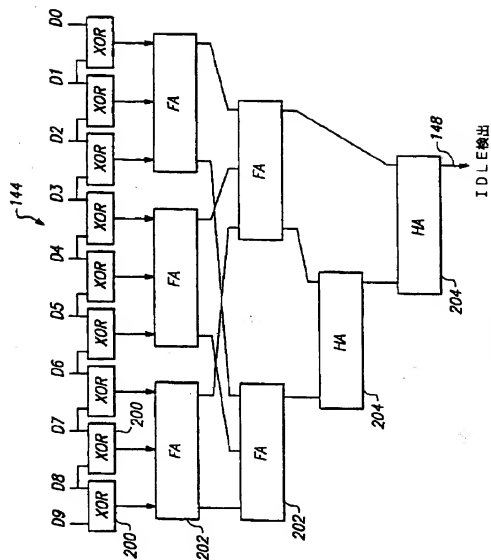


Figure 13

【图14】

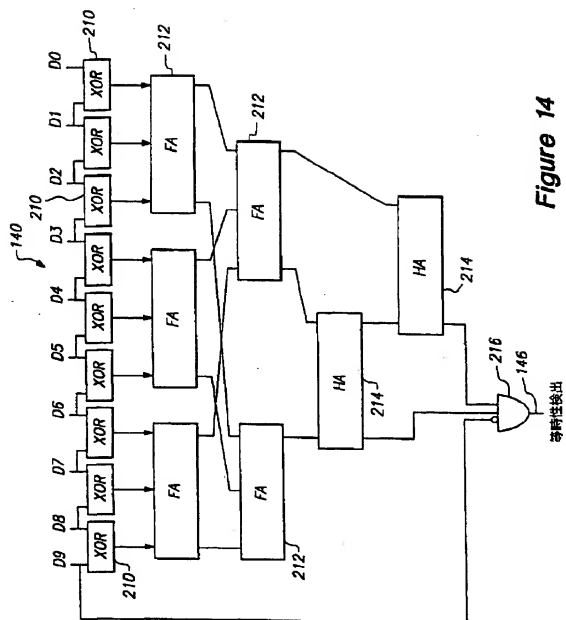


Figure 14



【図15】

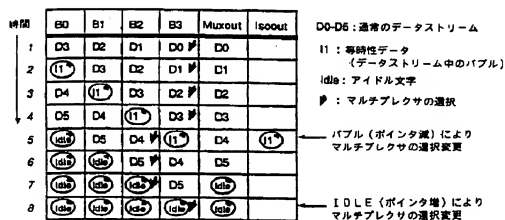


Figure 15

【図16】

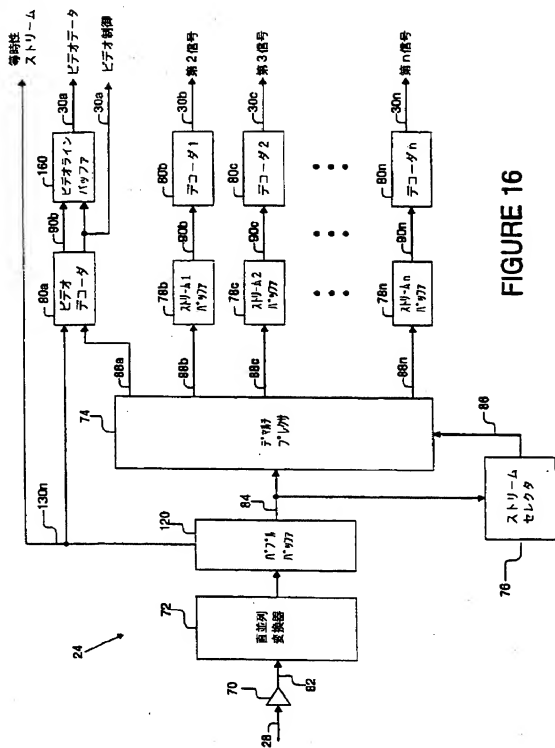


FIGURE 16

【図17】

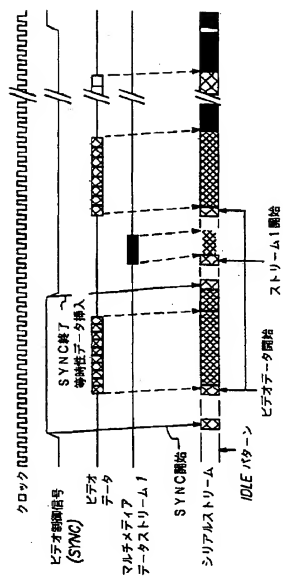


Figure 17

【図18】

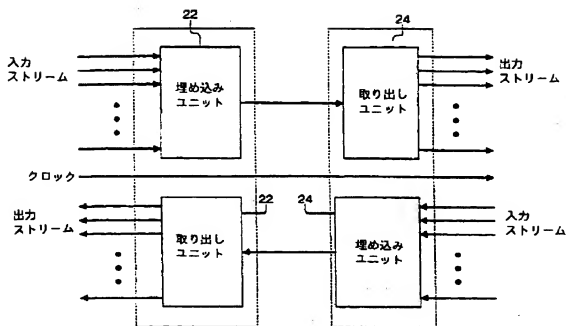


FIGURE 18A

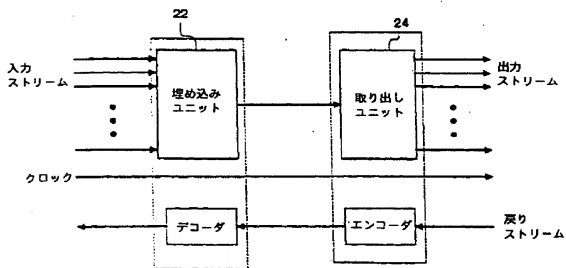


FIGURE 18B

## 【手続補正書】

【提出日】1999年1月12日

## 【補正内容】

## 請求の範囲

1. シリアルリンクを介して多重データ信号を送信するためのシステムであって

、  
複数の入力と1つの出力を有し、複数の入力データストリームをエンコードしてエンコードされたデータストリームを生成し、エンコードされたデータストリームをデータ転送ストリームに組み合わせ、複数の入力の各々がそれぞれにデータストリームを受信するよう結合されている埋め込みユニットと、

埋め込みユニットの出力に結合されたシリアルリンクと、及び

1つの入力と複数の出力を有する取り出しユニットとからなり、取り出しユニットの入力がシリアルリンクに結合されて埋め込みユニットからデータ転送ストリームを受信し、取り出しユニットがデータ転送ストリームを複数の分離されたデータストリームに分離し、分離されたデータストリームをデコードして埋め込みユニットにより適用された符号化を取り外し、取り出しユニットが取り出しユニットの複数の出力のそれぞれ1つにデコードされた、分離されたデータストリームの各々をもたらすこととなるシステム。

2. 埋め込みユニットがさらに、

複数の入力と複数の出力を有し、複数の入力の各々がそれぞれにデータストリームを受信するよう結合され、データワードを受信してエンコードされたデータワードを生成するエンコーダと、

1つの制御入力と、複数のデータ入力と複数のデータ出力を有し、データストリームとして出力される複数の入力の1つのセットを選択し、入力がエンコーダの複数の出力に結合されているマルチプレクサと、

複数の入力と複数の出力を有し、複数の入力がマルチプレクサの出力に結合されている並直列変換器と、及び

複数の入力と1つの出力を有し、シリアルリンクを介して出力されるデータストリームを制御し、入力がエンコーダの出力に結合され、出力がマルチプレク

サの入力に結合されているスケジューラとからなる、請求項1のシステム。

3. 埋め込みユニットがさらに、複数の入力と複数の出力を有し、エンコーダとマルチプレクサの間に結合されたデータバッファを有する、請求項2のシステム

。

4. 埋め込みユニットがさらに、ストリーム、リンクがアイドル状態である時点、及び等時性制御文字を識別する制御コードを生成する制御コード発生器を含み、制御コード発生器がマルチプレクサの対応する入力に結合された複数の出力を有する、請求項2のシステム。

5. エンコーダが8ビットのグループの各々を10ビットのグループにエンコードする、請求項2のシステム。

6. シリアルリンクがデータ信号線とクロック線である、請求項2のシステム。

7. シリアルリンクが複数のデータ信号線と1つのクロック線である、請求項2のシステム。

8. シリアルリンクが3つのデータ信号線と1つのクロック線である、請求項2のシステム。

9. 取り出しユニットがさらに、

1つの入力と複数の出力を有し、シリアルストリームをデータワード出力へとパラレルに変換し、入力がシリアルリンクに結合されている変換器と、

1つの制御入力と、複数のデータ入力と複数のデータ出力を有し、複数の出力が幾つかのセットにグループ化されて各々のセットが異なるデータストリームをもたらすようにされ、複数の入力が変換器の複数の出力に結合されているデマルチプレクサと、

複数の入力と1つの出力を有し、データワードを送信すべきセットを示す制御信号を発生し、複数の入力が変換器の複数の出力に結合され、出力がデマルチプレクサの制御入力に結合されているストリームセレクトと、及び

複数の入力と複数の出力を有してデータワードをデコードし、入力がデマルチプレクサの出力のそれぞれに結合されているデコーダとからなる、請求項1のシステム。

10. 取り出しユニットがさらに、複数の入力と複数の出力を有し、デマルチプレクサとデコーダの間に結合されたデータバッファを含む、請求項9のシステム。
11. デコーダが10ビットのグループの各々を8ビットのグループにデコードする、請求項9のシステム。

12. ストリームセクタがさらに複数の比較器を含み、比較器の各々が変換器からのデータワードとそれぞれにストリーム開始制御ワードを受信するよう結合されている、請求項9のシステム。

13. 取り出しユニットがさらに、複数の入力と複数の出力を有するワードアライナを含み、ワードアライナが変換器とデマルチプレクサの間に結合され、ワードアライナがデータストリーム中のアイドル文字を使用してデータをビット単位でシフトさせ、ワードを整列させる、請求項9のシステム。

14. 取り出しユニットがさらに、変換器によるデータワード出力を格納するためのn段バブルバッファを含み、n段バブルバッファが複数の入力と複数の出力を有し、n段バブルバッファが変換器とデマルチプレクサの間に結合され、n段バブルバッファがデマルチプレクサへのデータストリーム出力から等時性データ文字を分離する、請求項9のシステム。

15. シリアルリンクが第1データ信号線と、第2データ信号線と、クロック線とを含み、第1データ信号線とクロック線が埋め込みユニットと取り出しユニットに結合され、システムがさらに、

1つの入力と1つの出力を有し、入力に戻りデータストリームを受信するよう結合され、戻りデータストリームからエンコードされたデータワードを生成し、出力が第2データ信号線に結合されたエンコーダと、及び

1つの入力と1つの出力を有し、入力第2データ信号線に結合され、エンコードされたデータワードからデータストリームを生成するデコーダとを含む、請求項1のシステム。

16. シリアルリンクが第1データ信号線と、第2データ信号線と、クロック線とを含み、第1データ信号線とクロック線が埋め込みユニットと取り出しユニットに結合され、システムがさらに、

複数の入力と1つの出力を有し、複数の入力データストリームをエンコードしてエンコードされたデータストリームを生成し、エンコードされたデータストリームを戻りデータ転送ストリームに組み合わせ、複数の入力の各々がそれぞれにデータストリームを受信するよう結合されており、出力が第2データ信号線に結合されている第2の埋め込みユニットと、及び

1つの入力と複数の出力を有する第2の取り出しユニットとからなり、第2の取り出しユニットの入力が第2データ信号線に結合されて第2の埋め込みユニットから戻りデータ転送ストリームを受信し、第2の取り出しユニットが戻りデータ転送ストリームを複数の分離されたデータストリームに分離し、分離されたデータストリームをデコードして第2の埋め込みユニットにより適用された符号化を取り外し、第2の取り出しユニットが第2の取り出しユニットの複数の出力のそれぞれ1つにデコードされた、分離されたデータストリームの各々をもたらすことからなるシステム。

17. 複数のデータストリームを単一のデータストリームとして転送するための装置であって、

複数の入力と複数の出力を有し、複数の入力の各々がそれぞれにデータストリームを受信するよう結合され、データストリームからエンコードされたデータワードを生成するエンコーダと、

1つの制御入力と、複数のデータ入力と1つの出力を有し、データ転送ストリームとして出力される複数の入力の1つを選択し、入力がエンコーダの複数の出力に結合されているマルチプレクサと、及び

複数の入力と1つの出力を有し、シリアルリンクを介して出力されるデータストリームを制御し、その複数の入力がエンコーダの複数の出力に結合され、出力がマルチプレクサの制御入力に結合されているスケジューラとからなる装置。

18. 1つの入力と1つの出力を有し、入力がマルチプレクサの出力に結合されてnビットワードをパラレルに受信し、nビットワードをシリアルストリームとして出力する並直列変換器をさらに含む、請求項17の装置。

19. 複数の入力と複数の出力を有し、エンコーダとマルチプレクサの間に結合さ



れたデータバッファをさらに含む、請求項17の装置。

20. データバッファが複数の専用バッファからなり、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々がエンコーダにより出力されたエンコードされたデータストリームを格納し、専用バッファの各々がエンコーダの複数の出力のそれぞれ1つとマルチプレクサの複数の入力のそれぞれ

1つの間に結合されている、請求項19の装置。

21. ストリーム、アイドル状態、及び等時性制御文字を識別する制御コードを生成する制御コード発生器を含み、制御コード発生器がマルチプレクサの対応する入力に結合された複数の出力を有する、請求項17の装置。

22. 制御コード発生器がストリーム開始制御ワード、等時性データ転送ワード、及びアイドル制御ワードに割り当てられたワード値に配線された複数の線である、請求項21の装置。

23. エンコーダの入力の各々が8ビットをパラレルで受信し、エンコーダの出力の各々が10ビットをパラレルで提供し、エンコーダが8ビットのグループの各々を10ビットのグループにエンコードする、請求項17の装置。

24. エンコーダがさらに複数の専用エンコーダからなり、専用エンコーダの各々が1つの入力と1つの出力を有し、各々の専用エンコーダの入力がそれぞれにデータストリームを受信するよう結合され、各々の専用エンコーダの出力がマルチプレクサのそれぞれの入力に結合されている、請求項17の装置。

25. 専用エンコーダの各々がデータ信号のグループからの1つと制御信号をエンコードする、請求項24の装置。

26. 複数の専用エンコーダの少なくとも1つがデータ信号と制御信号の組み合わせをエンコードする、請求項24の装置。

27. 複数の専用エンコーダの最初の1つがビデオデータをエンコードし、複数の専用エンコーダの2番目がビデオ制御データをエンコードし、複数の専用エンコーダの3番目がデータの第1ストリームをエンコードする、請求項24の装置。

28. 複数の専用バッファをさらに含む、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々の入力が専用エンコーダのそれぞれの出力に

結合され、専用バッファの各々の出力がマルチプレクサの入力に結合されている、請求項24の装置。

29. スケジューラが状態マシンであって、エンコーダが送信すべきデータを有するか否かを判定する組み合わせロジックから形成され、マルチプレクサを制御する信号を発生して、等時性コードが最も高い優先順位を有して他のデータ

ストリームより前に転送され、他のデータストリームの転送にストリーム開始制御コードが先行するようにしてデータ及び制御コードを出力する、請求項15の装置。

30. スケジューラがさらに、

エンコーダが送信の準備が整ったデータを有するか否かを判定する手段を含み、この判定手段がエンコーダに結合されており、

送信するデータを有するストリームを識別する手段を含み、この識別手段がエンコーダに結合されており、

識別されたストリームによるデータストリーム転送の始まりを識別するコードを出力するようマルチプレクサを制御する第1の制御信号を発生する手段と、及び

識別されたストリームについてエンコーダからデータを出力するようマルチプレクサを制御するための第2の制御信号を発生する手段をさらに含む、請求項15の装置。

31. 1つのデータストリームを受信して複数のデータストリームを発生するための装置であって、

1つの制御入力と、1つのデータ入力と、複数の出力を有し、複数の出力の各々がデータの異なるストリームをもたらし、入力が1つのデータストリームを受信するよう結合されているデマルチプレクサと、

1つの入力と1つの出力を有し、データワードを送信すべき出力を示す制御信号を発生し、入力がデマルチプレクサのデータ入力に結合され、出力がデマルチプレクサの制御入力に結合されているストリームセレクトと、及び

複数の入力と複数の出力を有しデータワードをデコードするためのデコーダ

とからなり、デコーダの複数の入力が多プレクサの複数の出力のそれぞれ1つに結合されていることからなる装置。

32. 1つの入力と複数の出力を有し、シリアルストリームをデータワード出力へとパラレルに変換するための変換器をさらに含み、変換器の入力がシリアルリンクに結合され、変換器の出力が多プレクサの入力に結合されている、請求項31の装置。

33. 複数の入力と複数の出力を有し、多プレクサとデコーダに結合されたデータバッファをさらに含む、請求項31の装置。

34. データバッファが複数の専用バッファを含み、専用バッファの各々が1つの入力と1つの出力を有し、専用バッファの各々が多プレクサにより出力されたエンコードされたデータストリームを格納し、専用バッファの各々が多プレクサの複数の出力のそれぞれ1つとデコーダの複数の入力のそれぞれ1つに結合されている、請求項33の装置。

35. デコーダが10ビットのグループの各々を8ビットのグループへとデコードする、請求項31の装置。

36. デコーダがさらに複数の専用デコーダを含み、各々の専用デコーダが1つの入力と1つの出力を有し、各々の専用デコーダの入力が多プレクサからそれぞれにデータストリームを受信するよう結合されている、請求項31の装置。

37. 専用デコーダの各々がエンコードされたワードをデータ信号のグループからの1つと制御信号へとデコードする、請求項36の装置。

38. 複数の専用デコーダの少なくとも1つがエンコードされたワードをデータ信号と制御信号の組み合わせへとデコードする、請求項36の装置。

39. ストリームセレクトがさらに複数の比較器を含み、各々の比較器が第1の入力と第2の入力と1つの出力を有し、各々の比較器の第1の入力が変換器からデータワードを受信するよう結合され、各々の比較器の第2の入力がそれぞれにストリーム開始制御ワードを受信するよう結合され、複数の比較器の出力が多プレクサを制御するよう結合されている、請求項31の装置。

40. 複数の入力と複数の出力を有するワードアライナをさらに含み、ワードアラ

イナが変換器とデマルチプレクサの間に結合され、ワードアライナがデータストリーム中のアイドルワードを使用してデータをビット単位でシフトし、ワードを整列させる、請求項32の装置。

41. ワードアライナがさらに、

1つの入力と1つの出力を有し、入力が変換器の出力に結合され、複数のデータワードを格納するためのレジスタと、

1つのデータ入力と、1つの制御入力と、1つの出力を有し、データ入力がレジスタの出力に結合され、ビットを所定数出力し、このビットの所定数が入力で受信したビット数よりも小さいシフトと、及び

1つの入力と1つの出力を有するアイドル文字検出器とをさらに含み、アイドル文字検出器の入力がレジスタの出力に結合され、アイドル文字検出器の出力がシフトの制御入力に結合され、アイドル文字検出器がアイドル文字を検出し、シフトに入力された信号をシフトするビットの所定数を特定する信号を生成する、請求項40の装置。

42. レジスタがさらに、

1つの入力と1つの出力を有し、入力が変換器の出力に結合され、出力がアイドル文字検出器とシフトに結合された第1のレジスタと、

1つの入力と1つの出力を有し、入力が第1のレジスタの出力に結合され、出力がアイドル文字検出器とシフトに結合された第2のレジスタと、及び

1つの入力と1つの出力を有し、入力が第2のレジスタの出力に結合され、出力がアイドル文字検出器とシフトに結合された第3のレジスタとからなる、請求項41の装置。

43. アイドル文字検出器がさらに、

入力と出力を有し、入力がレジスタの出力に結合されたXORゲートのアレイと、

入力と出力を有し、入力がXORゲートのアレイの出力に結合された1カウンタと、及び

レジスタと組み合わせロジックにより1カウンタの出力に結合された制御入

力を有する制御ポイントレジスタとをさらに含み、制御ポイントレジスタがワードの開始を識別する値でロードされる、請求項41の装置。

44. データワードを格納するためのn段バブルバッファをさらに含み、n段バブルバッファが1つの入力と第1のデータ出力及び第2のデータ出力を有し、n段バブルバッファの第2のデータ出力がデマルチプレクサに結合され、n段バブルバッファの入力がデータストリームを受信するよう結合され、n段バブルバッファがデマルチプレクサに出力されるデータストリームから等時性データ

文字を分離する、請求項31の装置。

45. n段バブルバッファがさらに、

各々が1つの入力と1つの出力を有し、縦続型式で結合された複数のデータバッファと、

複数のデータ入力と、1つの制御入力と1つの出力を有し、複数のデータ入力の各々が複数のデータバッファの1つのそれぞれの出力に結合され、出力がデマルチプレクサの入力に結合されているマルチプレクサと、及び

複数の入力と1つの出力を有し、マルチプレクサによる出力のために複数のデータバッファの出力の1つを選択する信号を発生するデータ選択コントローラをさらに含み、データ選択コントローラの複数の入力の各々が複数のデータバッファの1つのそれぞれの出力に結合され、データ選択コントローラの出力がマルチプレクサの制御入力に結合され、データ選択コントローラの複数の入力の1つがマルチプレクサの出力に結合されている、請求項44の装置。

46. n段バブルバッファがさらに、1つの入力と1つの出力を有する等時性ワード検出器を含み、等時性ワード検出器の入力が複数のデータバッファの1つの出力に結合され、等時性ワード検出器が等時性ワードを検出して出力に制御信号を発生する、請求項45の装置。

47. 複数のデータストリームを1つの信号線を介して転送するための方法であって、

第1のデータストリームと第2のデータストリームを受信するステップと、  
第1及び第2のデータストリームをエンコードしてコード化されたワードと

するステップと、

第1の制御コードを信号線を介して転送するステップと、

第1のデータストリームのエンコードされたワードを信号線を介して転送するステップと、

第2の制御コードを信号線を介して転送するステップと、及び

第2のデータストリームのエンコードされたワードを信号線を介して転送するステップとからなる方法。

48. 第3の制御コードを信号線を介して転送するステップをさらに含み、第3

の制御コードが線を介しての通信の切断を示す、請求項47の方法。

49. 第3の制御コードを信号線を介して転送するステップをさらに含み、第3の制御コードが等時性データ信号の始まりを示す、請求項47の方法。

50. 第4の制御コードを信号線を介して転送するステップをさらに含み、第4の制御コードが等時性データ信号の終わりを示す、請求項48の方法。

51. 第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードが信号線を介して転送されていない場合に第1の特殊コードワードを送信するステップをさらに含む、請求項47の方法。

52. 時間臨界的な制御信号の表明に応じて等時性コードワードを発生するステップと、及び

等時性コードワードを信号線を介して転送するステップとをさらに含む、請求項47の方法。

53. 等時性コードワードを転送するステップがさらに、

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからなるグループからの1つが信号線を介して転送されているか否かを判定するステップと、

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからな

るグループからの1つが信号線を介して転送されている場合には転送を割り込むステップと、

等時性コードワードを信号線を介して転送するステップと、及び

第1の制御コード、第1のデータストリームのエンコードされたワード、第2の制御コード、及び第2のデータストリームのエンコードされたワードからなるグループからの1つが信号線を介して転送されている場合に転送を再開するステップとからなる、請求項52の方法。

54. 第1の制御コードと第1のデータストリームのエンコードされたワード信号線を介して転送されている間にエンコードされた第2のデータストリームを

格納するステップをさらに含む、請求項47の方法。

55. エンコードされた第1のデータストリームの転送とエンコードされた第2のデータストリームの転送の間の優先順位を判定するステップと、より高い優先順位のエンコードされたデータストリームを先に転送するステップをさらに含む、請求項47の方法。

56. 転送するステップが、ワードをビットのシリアルストリームに変換し、各々のビットを信号線上に順次表明することからなる、請求項47の方法。

57. シリアルシーケンスから複数のデータストリームを発生する方法であって、  
ビットのシリアルシーケンスをワードに変換するステップと、  
ワードが等時性制御コードであるか否かを判定するステップと、  
ワードが等時性制御コードである場合にタイミング信号を発生するステップ  
と、

ワードが等時性制御コードでない場合に、

ワードを用いてストリーム経路を選択し、

ワードを選択されたストリーム経路上で転送し、及び

ワードをデコードして出力ワードを生成するステップとからなる方法。

58. シリアルシーケンスを変換するステップがさらに、変換されたシリアルシーケンスをワード整列させるステップからなる、請求項57の方法。

59. 変換されたシリアルシーケンスをワード整列させるステップがさらに、

第1のワードを受信するステップと、

第2のワードを受信するステップと、

第3のワードを受信するステップと、

第1、第2、及び第3のワードの連鎖中のアイドルワードパターンを検出することにより第1、第2、及び第3のワードをシフトして適切に整列されたワードを生成するステップからなる、請求項58の方法。

60. ストリーム経路を選択するステップがさらに、

ワードを所定の制御文字のセットと比較するステップと、及び

ワードが合致する所定の制御文字のセットの1つに関連するストリーム経路を選択するステップとからなる、請求項57の方法。

61. ワードを選択されたストリーム経路上に転送するステップの後、ワードをデコードして出力ワードを生成するステップの前に、ワードを格納するステップをさらに含む、請求項57の方法。

62. デコードするステップがワードを10ビット値から8ビット値に変換する、請求項57の方法。

63. ワードを選択されたストリーム経路上に転送するステップの前にワードを格納するステップと、

格納されたワードに対するアクセスをもたすステップと、及び

ワードが等時性ワードの場合にそのワードをデコードするステップをさらに含む、請求項57の方法。



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F13/48 H03N9/00		Internat. Application No. PCT/US 97/10611
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS RESEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H03M G06F H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the International search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 750 172 A (HORNUNG FRANZ ET AL.) 7 June 1988	1-6, 9, 10, 17-19, 31-33, 47-51 7, 8, 11-16, 20-30, 34-46, 52-67
A	see column 1, line 8 - line 45  see column 1, line 63 - column 3, line 15 see column 3, line 31 - column 4, line 6 see column 4, line 29 - column 6, line 61 see abstract; claims 1-3; figures 1-6 --- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle of the theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "S" document member of the same patent family		
Date of the actual completion of the international search  15 October 1997		Date of mailing of the international search report  24.10.97
Name and mailing address of the ISA, European Patent Office, P.B. 5816 Paterlinck 2 NL - 8200 HV Rijswijk Tel: (+31-70) 340-3040, Tx: 31 651 spa nl, Fax: (+31-70) 340-3016		Authorized officer  Nguyen Xuan Hiep, C

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 97/10611

## C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 95 29559 A (THOMSON CONSUMER ELECTRONICS ;OZKAN MEHMET KEMAL (US); BEYERS BILL) 2 November 1995 see page 1, line 12 - page 2, line 33 see page 4, line 18 - page 6, line 17 see page 7, line 16 - page 9, line 30 see abstract; claims 1-10; figures 1,2	1,17,31, 47
A	US 5 216 671 A (NUTTER R.F.) 1 June 1993 see column 1, line 27 - line 68 see column 2, line 19 - column 3, line 14 see abstract; claim 1; figures 1A,1B -----	1-67

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Internal: Application No  
PCT/US 97/10611

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4750172 A	07-06-88	AU 565846 B AU 6075286 A BR 8603618 A CA 1262280 A EP 6210611 A JP 62056036 A	01-10-87 19-03-87 10-03-87 10-10-89 04-02-87 11-03-87
-----			
WO 9529559 A	02-11-95	AU 6816094 A	16-11-95
-----			
US 5216671 A	01-06-93	DE 4140686 A GB 2255481 A,B JP 4291827 A	17-06-92 04-11-92 15-10-92
-----			

## フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, KE, LS, MW, SD, SZ, UG, ZW), UA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZW

(72)発明者 ジェオン, デオーキョン

アメリカ合衆国カリフォルニア州94306,  
バロ・アルト, アルマ・ストリート・ナン  
バー307・3351

【要約の続き】

る方法をも含んでいる。